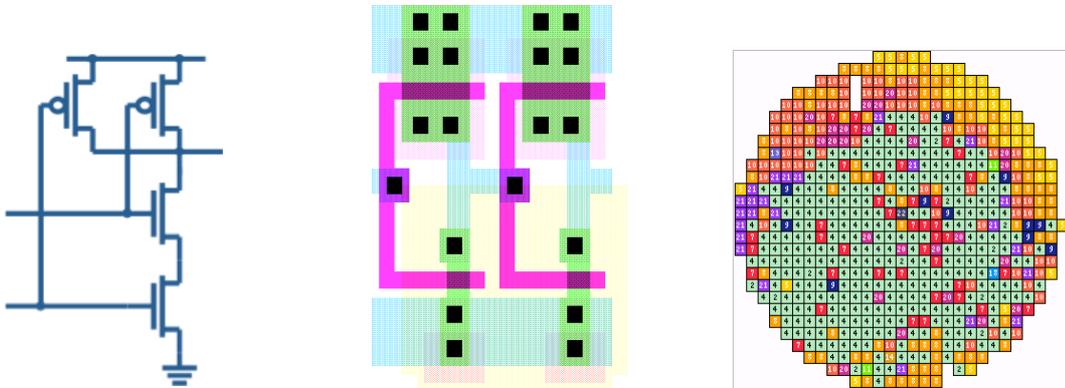


ERII3

Circuits Intégrés Numériques 1

Pr. Michel ROBERT

2010-2011



Circuits Intégrés Numériques CIN1 ERII3 2011

Pr. Michel ROBERT
Université Montpellier 2 LIRMM Polytech

Pré-requis

Bases de la logique et des technologies d'intégration (physique des composants).
architectures et conception des systèmes et circuits intégrés microélectroniques numériques.

Contenu

–Structures électriques de base des circuits logiques *standards* bipolaires et MOS
–fonctionnement, caractéristiques électriques,...
–Circuits *programmables* (FPGA)

Pour donner

–Des moyens de choix d'une «technologie»
–Une connaissance «électronique» des blocs logiques élémentaires

Objectif

L'objectif du cours CIN1 est la compréhension des principes de base sur le fonctionnement des circuits électroniques numériques, une étude des technologies bipolaires, puis essentiellement MOS. Le cours s'achève sur les propriétés statiques des portes logiques CMOS. Les Compétences acquises sont les bases indispensables pour comprendre ce qu'est un circuit électronique intégré numérique CMOS.

Aspects pratiques

TD, simulation électrique

Contexte

étude des architectures et la conception des systèmes et circuits intégrés microélectroniques numériques, des briques de base des circuits intégrés numériques CMOS (architectures, modèles, optimisation, ...), aux méthodes et outils de conception des Systèmes sur puce (SoC). Ce thème est décomposé sur les 3 années de formation à Polytech (année 1 – S2 : CIN1 en tronc commun, année 2 – S1 : CIN2 en tronc commun, année 2 – S2 : CIN3 en spécialité, année 3 – S1 : CIN4 en spécialité).

PLAN CIN1

- Introduction (objectifs, état de l'art, contexte TIC, Micro-nanoélectronique)
- 1- **Caractéristiques générales des circuits logiques**
- 2- Logiques à transistors bipolaires
- 3- **Logiques à transistors MOS. Logique CMOS**
 - » *Principes physiques et technologiques*
 - » *Inverseur, circuits élémentaires combinatoires*
 - » *Caractérisation électrique de l'inverseur, optimisation électrique*
 - » *Introduction aux circuits dynamiques et séquentiels*
- 4- Autres technologies
- 5- Comparaison des performances
- 6- **Introduction aux Circuits intégrés programmables (PLD, FPGA)**
 - » *Principes et classification*
 - » *Technologies de programmation*
 - » *Architectures et circuits*
- 7- Du composant discret au circuit spécifique (ASIC) : principes, conception
- Conclusion

Suite du cours : ERII4 CIN2 & CIN3 (2011-12)

- 1 Logique CMOS : briques logiques combinatoires et séquentielles

Rappels ...

Logiques à porte de transmission et applications

Mémoires : SRAM , DRAM, Flash

Optimisation électrique

Logiques CMOS particulières : dynamique, asynchrone

Nanoélectronique et Technologie CMOS « nanométriques » : évolutions technologiques et conséquences : variabilités,...

- 2 Circuits Logiques programmables : FPGA

1- PRINCIPES et CLASSIFICATION

2- TECHNOLOGIES

3- ARCHITECTURES ET CIRCUITS industriels

4- CONCEPTION

5- SYNTHÈSE

6- FPGA-SRAM : APPLICATIONS et COMPLEMENTS

- 3 Introduction aux Méthodes et outils de conception (CAO) des ASIC, SoC

Synthèse sur les solutions pour l'intégration numérique standard ou spécifique

Bibliothèque de cellules précaractérisées : règles, analyse de construction, caractérisation

CAO : Simulation logique & électrique (Spice)

CAO : Flots de conception : ASIC, SoC



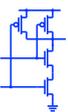
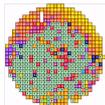


ERII-3

Circuits Intégrés Numériques (CIN 1)

Pr. Michel ROBERT

1

"1" V_{OH}

V_H

X

V_L

"0" V_{OL}

Pr. M. ROBERT 142

Objet du cours

- **Contenu**
 - Structures électriques de base des circuits logiques *standards* bipolaires et MOS
 - fonctionnement, caractéristiques électriques,...
 - Circuits *programmables* (FPGA)
- **Pour donner**
 - Des moyens de choix d'une «technologie»
 - Une connaissance «électronique» des blocs logiques élémentaires

Circuits Intégrés Numériques CMOS : CIN 1 ERII3 2011 Sommaire

- Introduction (objectifs, état de l'art, contexte TIC, Micro-nanoélectronique)
- 1- **Caractéristiques générales des circuits logiques**
- 2- Logiques à transistors bipolaires
- 3- **Logiques à transistors MOS. Logique CMOS**
 - » Principes physiques et technologiques
 - » Inverseur, circuits élémentaires combinatoires
 - » Caractérisation électrique de l'inverseur, optimisation électrique
 - » Introduction aux circuits dynamiques et séquentiels
- 4- Autres technologies
- 5- Comparaison des performances
- 6- **Introduction aux Circuits intégrés programmables (PLD, FPGA)**
 - » Principes et classification
 - » Technologies de programmation
 - » Architectures et circuits
- 7- Du composant discret au circuit spécifique (ASIC) : principes, conception
- Conclusion

Pr. Michel ROBERT

Circuits Intégrés Numériques CMOS : CIN I ERIS 2011 Sommaire

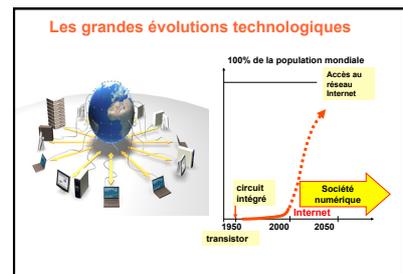
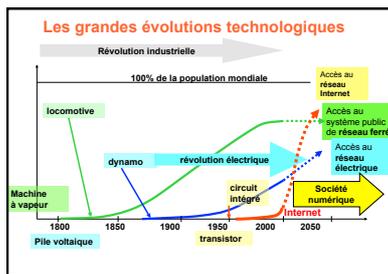
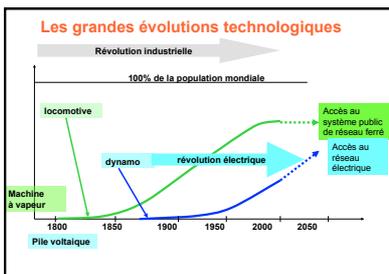
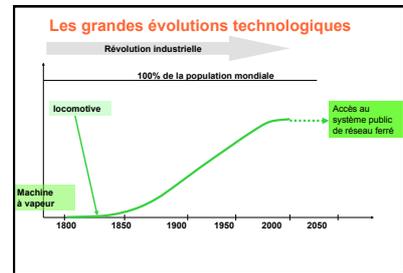
- Introduction (objectifs, état de l'art, contexte TIC, Micro-nanoélectronique)
- 1- Caractéristiques générales des circuits logiques
- 2- Logiques à transistors bipolaires
- 3- Logiques à transistors MOS. Logique CMOS
 - Principes physiques et technologiques
 - Inverseur, circuits élémentaires combinatoires
 - Caractérisation électrique de l'inverseur, optimisation électrique
 - Introduction aux circuits dynamiques et séquentiels
- 4- Autres technologies
- 5- Comparaison des performances
- 6- Introduction aux Circuits Intégrés Programmables (PLD, FPGA)
 - Principes et classification
 - Technologies de programmation
 - Architectures et circuits
- 7- Du composant discret au circuit spécifique (ASIC) : principes, conception
- Conclusion

Pr. Michel ROBERT

STICS : développement de recherches interdisciplinaires

- Rechercher et développer des technologies innovantes
- Maîtriser la complexité des systèmes d'information
- Construire une société de l'information et de la communication au service de l'homme
- Diffuser les méthodes et outils des STIC au service des autres disciplines (ex: décryptage du vivant, compréhension de l'humain,...)

Information
Technologie ← → Humain
Systèmes



Circuits Intégrés Numériques

Introduction

- 1) Contexte : micro-nanoélectronique
- 2) STIC : enjeux et défis des objets nomades

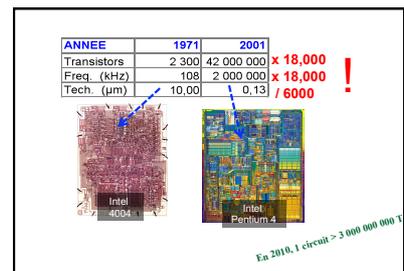
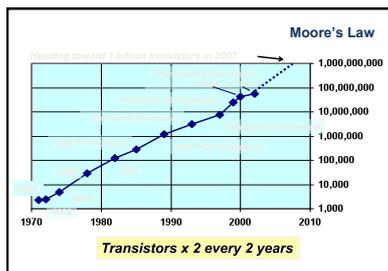
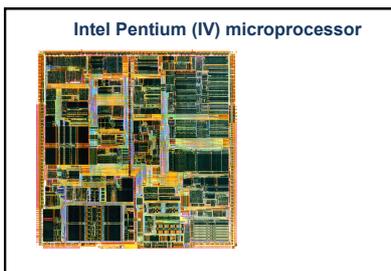
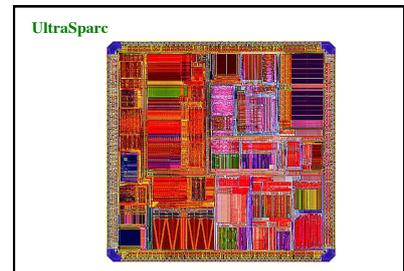
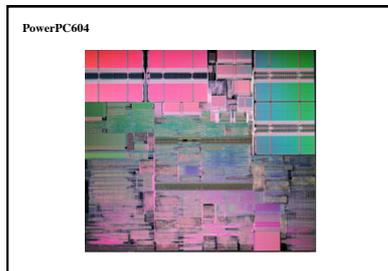
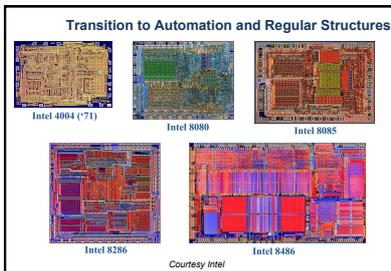
Histoire des Sciences : quelques points de repères

1800 - pile de Volta	
1826 - loi d'ohm	
1831 - premier relais électrique	
1837 - télégraphe de Morse	
1847 - loi de Kirchhoff	
1866 - dynamo	
1876 - téléphone (Bell)	
1904 - la diode, premier tube à vide	
1907 - la triode à vide (Lee de Forest)	
1909 - premier central téléphonique automatique	
1914 - premiers circuits électroniques	<i>Electronique</i>
1946 - ENIAC (Electronic Numerical Integrator and Calculator)	
premier calculateur électronique (1768 tubes électroniques, 1500 relais, 30 tonnes, 150 KW, 5000 additions par seconde)	
1947 - transistor à jonction germanium (Bardeen, Shockley, Hockett) / Shockley 1958	
1959 - circuit intégré à 2 Kbits, Nobel 2000 en parallèle avec Noyce / assemblage sur un substrat isolant de résistances, condensateurs et transistors interconnectés	
1959 - technologie plasma	<i>Microélectronique</i>
1959 - transistor à effet de champ (FET), transistor MOS	
1970 - microprocesseur DRAM 1024 bits Intel (1968 - 4 Mbits, 1971 - 256 M bits)	
1971 - microprocesseur 4004, Intel	
1980 - microprocesseur 8 bits	<i>ASIC</i>
1980 - microprocesseur 25 bits	<i>Microélectronique CMOS</i>
2000 - « convergence » des STIC, Sciences de l'Information et de la communication	
S.O.C. (composant versé matériel logiciel)	
< 2010 - le processeur CMOS - 1 milliard de transistors sur une puce	

HISTORIQUE

- Besoins historiques: Automatiser, Calculer, Coder-Décoder, Gérer des données
- Le besoin suscite la technologie ...
- Mécanique
- Fluidique
- Electrique
 - La Pile Electrique
 - Le Relais Electromagnétique
- Electronique
 - Diode à vide
 - Diode à semi-conducteur
 - Transistor
 - Circuit Intégré 1 Tera octets (To) = 1000 Gb (soit 1 000 000 Mo)
- La technologie fait évoluer le besoin

1826 - loi d'ohm	1831 - relais électrique
1837 - télégraphe de Morse	1847 - lois de Kirchhoff
1866 - dynamo	1876 - téléphone (Bell)
1904 - diode, tube à vide	1907 - triode à vide
1909 - central téléphonique	1914 - circuits électroniques
1946 - ENIAC	1946 - transistor germanium
1947 - transistor silicium	1954 - transistor silicium
1959 - circuit intégré transistor MOS	

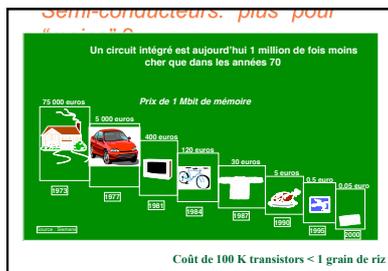


Loi de Moore appliquée à d'autres domaines

- Automobile *** (prototype voiture : 1000 pieces en 2 ans)
 - Vitesse : 3000 km/s
 - Consommation : 1l / 100 000 km
 - Poids : 10 mg
 - Coût : 20 Euros
 - Fiabilité : 1000 ans
- Aéronautique *** (prototype avion : 1000 000 pieces en 8 ans)
 - Trajet New-York-Paris en 0,25 s avec un coût de 1 c en 2005

* Loi de Moore appliquée à une automobile de 15 Keuros (x 10³), d'un poids de 1 tonne (x 10³), coulant à 110km/h (x 10²), consommant 100/100km (x 10²), avec une fiabilité de quelques années (x 10³).

* Loi de Moore appliquée à un trajet de 7 heures avec un coût de 900 euros en 1980



Circuits Intégrés Numériques

Introduction

- 1) Contexte : micro-nanoélectronique

- 2) STIC : enjeux et défis des objets nomades

28

OBJETS NOMADES COMMUNICANTS

- CONVERGENCE
- MULTIMEDIA
- CONNECTIVITE
- MOBILITE
- STOCKAGE
- SECURITE
- ENERGIE
- ...

Calcul parallèle hautes performances

Supercalculateur du CINES 2010 : **267 T Flops** (SGI ICE)
23040 circuits INTEL Xeon 3 GHz

TERA PENTA HEXA

10 ans

Cerveau humain :

- ... Milliards de neurones
- 1 kHz, 20 W pour ... Flops
- « imprécis et lent »

Moyens Informatiques: centralisation, distribution, réseaux, grilles

Centre de Calcul PC Web

Avènement des systèmes informatiques ubiquitaires

« Cloud computing » : services sur Internet ("cloud") avec accès à un nombre « illimité » de ressources en réseaux de calcul et de stockage

Pervasif "Any Time, Anywhere, Any Device"

Coût énergétique d'une communication

Convergences & Innovations

"Any Time, Anywhere, Any Device"

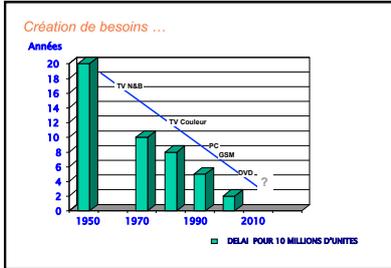
ORDINATEURS COMMUNICATIONS

1985 1990 1995 2000 2005

Innovation

Convergences & Innovations

Digital Camera Game Player TV Digital Cam MP3 Player Laptop Navigator



Création de richesses par les semi-conducteurs

L'exemple du téléphone portable

30 \$ par mobile 100 \$ le mobile 500 \$ / an de communication

Opérateurs Services

PI. M. ROBERT MEA2 35

Création de valeurs...

Chiffre d'affaires

Services induits Opérateurs téléphonique, TV, services, informatique

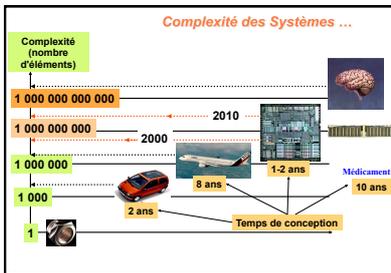
Domaines applicatifs Automobile, industriel, défense,...

Matériel électronique

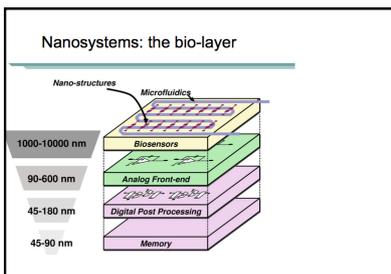
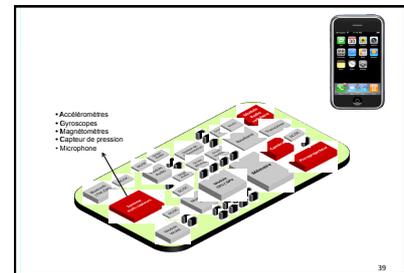
Composants

500 \$/an

30 \$



« Lois de l'évolution »



QUELQUES DEFIS EN MINIATURISATION DES SYSTEMES EMBARQUES

- Complexité : matériel, logiciel, interfaces
- Architectures adaptatives (variabilités, ...)
- Micro-Nano systèmes hétérogènes
- Logiciels CAO : complexité
Abstraction, Modélisation, Simulation, Vérification, Test, ...

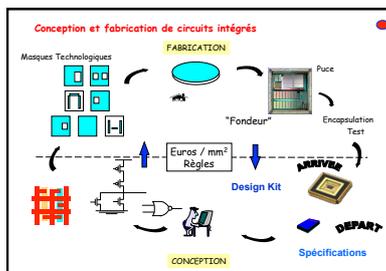
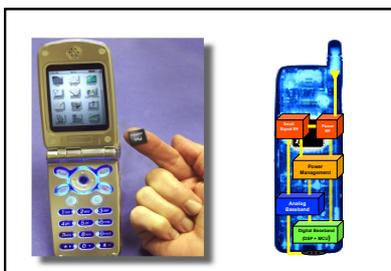
Techno

Algo

Archi

QUELQUES DEFIS DE LA ROBOTIQUE

- Robot ultime
- Robot médical
- Robot compagnon
- Bionique
- Robot explorateur



- Introduction (objectifs, état de l'art, contexte TIC, Micro-nanoélectronique)
- 1- **Caractéristiques générales des circuits logiques**
- 2- Logiques à transistors bipolaires
- 3- **Logiques à transistors MOS. Logique CMOS**
 - » Principes physiques et technologiques
 - » Inverseur, circuits élémentaires combinatoires
 - » Caractérisation électrique de l'inverseur, optimisation électrique
 - » Introduction aux circuits dynamiques et séquentiels
- 4- Autres technologies
- 5- Comparaison des performances
- 6- **Introduction aux Circuits intégrés programmables (PLD, FPGA)**
 - » Principes et classification
 - » Technologies de programmation
 - » Architectures et circuits
- 7- Du composant discret au circuit spécifique (ASIC) : principes, conception
- Conclusion

1- Caractéristiques générales des circuits logiques

- Plan
 - propriétés des circuits logiques
 - élément logique idéal
 - paramètres électriques

Rappel : Propriétés des circuits logiques

- Algèbre de Boole
- Fonctions logiques de base

A	└─┬─┘	F
0		1
1		0

A	└─┬─┘	F
0	0	0
0	1	0
1	1	1
1	0	0

A	└─┬─┘	F
0	0	0
0	1	1
1	1	1
1	0	1

Rappel : Propriétés des circuits logiques

- Portes logiques de base



- Connaissance de la technologie :
 - Règles électriques pour l'assemblage de portes
 - Optimisation électrique (assignation technologique, « technology mapping »)
- Exemple : technologie CMOS
 - Nand 2 = 4 transistors And 2 = 6 transistors
 - portes complexes
 - logique à multiplexeurs (FPGA)

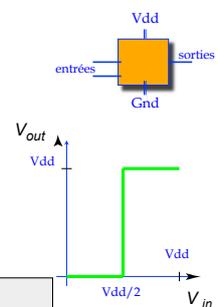


- Métriques de la conception d'un circuit intégré numérique :

- Cost,
- Reliability,
- Speed,
- Power and energy dissipation

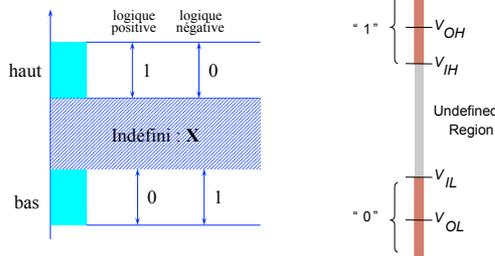
Elément logique idéal...

- Alimentation unique
- Consommation de puissance nulle
- Niveaux de sortie 0 et Vdd
- Transition abrupte à Vdd/2
- Délai négligeable
- Nombre d'entrées et de sorties illimité
- Impédance d'entrée infinie
- Résistance de sortie nulle

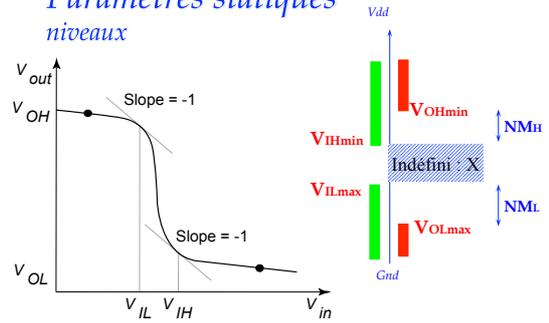


$$\begin{aligned}
 R_i &= \infty \\
 R_o &= 0 \\
 \text{Fanout} &= \infty \\
 NM_{\mu} = NM_j &= V_{DD}/2
 \end{aligned}$$

Représentation d'un état logique par une tension analogique

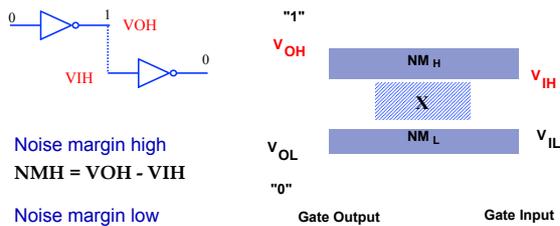


Paramètres statiques niveaux



Mapping between analog and digital signals

Paramètres statiques : marges de bruit (« Noise Margin »)



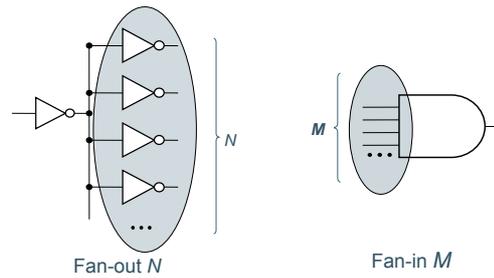
Noise margin high
 $NM_H = V_{OH} - V_{IH}$

Noise margin low
 $NM_L = V_{IL} - V_{OL}$

Exemple: $V_{IL}=0,8V$ $V_{IH}=2V$ $V_{OL}=0,3V$ $V_{OH}=2,8V$
 $NM_L=0,5V$ et $NM_H=0,8V$

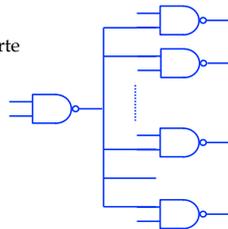
Les marges de bruit représentent les variations de tension maximum autorisées sur les entrées/sorties des circuits.

Fan-in and Fan-out

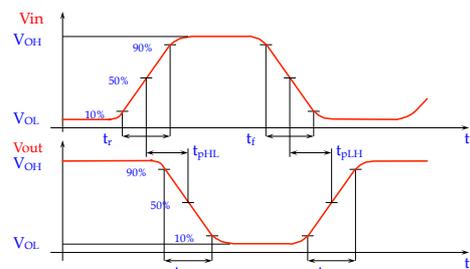


Paramètres statiques entrée (fan-in) et sortie (fan-out)

- **fan-in**
 - nombre d'entrées de la porte
 - charge représentée par une entrée
- **fan-out**
 - nombre d'entrées connectées à une sortie
 - charge maximale que peut attaquer une sortie



Paramètres dynamiques temps de montée, de descente et de propagation



Power Dissipation

Instantaneous power:

$$p(t) = v(t)i(t) = V_{supply}i(t)$$

Peak power:

$$P_{peak} = V_{supply}i_{peak}$$

Average power:

$$P_{ave} = \frac{1}{T} \int_t^{t+T} p(t) dt = \frac{V_{supply}}{T} \int_t^{t+T} i_{supply}(t) dt$$

Energy and Energy-Delay

Power-Delay Product (PDP) =

$$E = \text{Energy per operation} = P_{av} \times t_p$$

Energy-Delay Product (EDP) =

$$\text{quality metric of gate} = E \times t_p$$

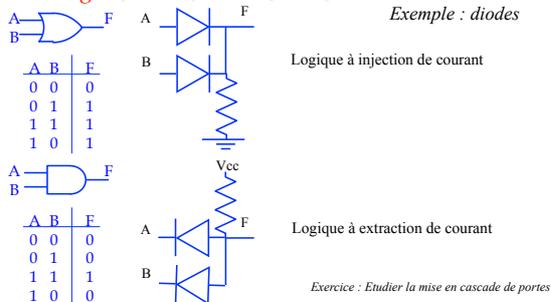
Historique : du bipolaire au CMOS ...

- 1965 : TTL (bipolaire)
- 1970 : TTL/S CD4000 (MOS, grille Alu)
- 1971 : TTL/LS et ECL
- 1982/3 : TTL ALS, AS HCMOS (grille poly)
 - Circuits programmables : PAL/PLD
 - Circuits spécifiques (ASIC) : prédifusés, précaractérisés
- #1986 : AsGa
 - Développement des circuits programmables (EPLD, FPGA) et des ASICs ...
- Aujourd' hui : **Technologie CMOS ...**
 - FPGA, ASICs, Systèmes sur Silicium,.....

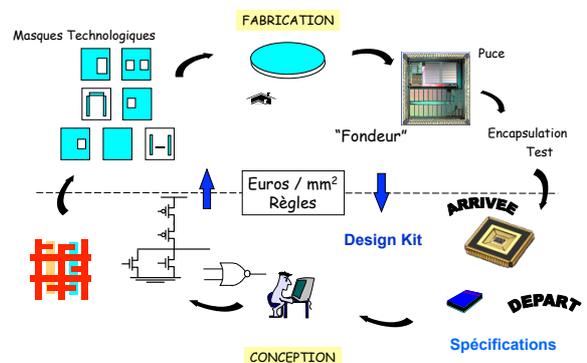
Historique : du bipolaire au CMOS ...

- Classification :
 - SSI < 12 portes logiques dans un boîtier
 - MSI 13 < < 99 portes logiques
 - LSI > 100 portes logiques
 - VLSI > quelques milliers de portes logiques ...
 - Aujourd' hui : millions de portes logiques sur une puce
- Exemple : réalisation d' un système de comptage avec 3 compteurs de 4 bits
 - 1963 : 36 transistors et 244 diodes
 - 1966 : 13 circuits SSI en technologie RTL
 - 1969 : 3 circuits TTL
 - Aujourd' hui : une cellule d' un circuit spécifique ou programmable

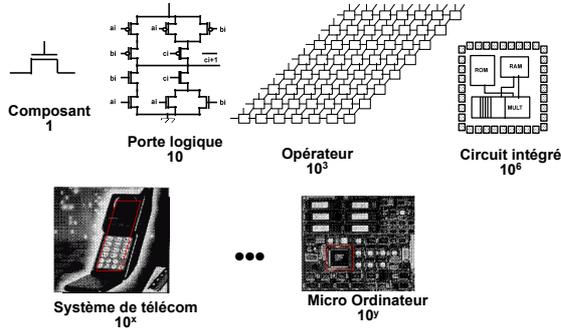
Historique : tubes, diodes et transistors, circuits intégrés, ASIC, FPGA, SoC,....



Conception et fabrication de circuits intégrés

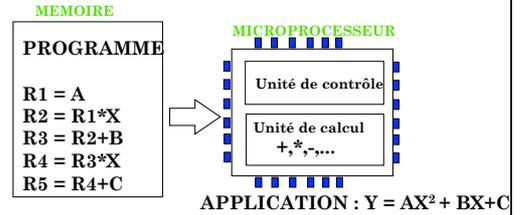
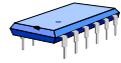


Du composant au système numérique



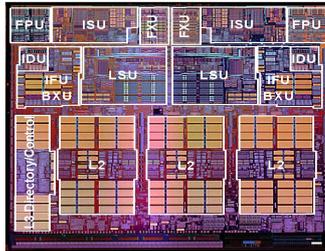
Circuits Logiques Standards "universels"

- Exemple : processeurs
- Personnalisation : logiciel



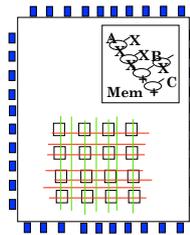
Exemple : IBM Power4 RISC processor

- 1.3 GHz dual CPU
- Cache L1 I/D : 64K/32K
- Cache L2 : 1.5MB
- Embedded DRAM
- 0.18um CMOS 8S2 Cu & SOI - 7metals
- 400 mm²
- 174 million Tx
- 130 Watts
- 2,200 I/O Multi Chip Module
- 12.8 GB/sec Memory Bandwidth
- 500MHz Elastic I/O
- Cross Bar switch



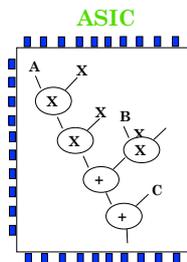
Circuits logiques programmables: exemple FPGA-SRAM

- Réseau de fonctions logiques
- Réseau d'interconnexions
- Stockage en mémoire interne au circuit
- Réutilisable
- Prototypage ou petites séries



Circuits spécifiques à une application

- Cablage physique de l'application
- Meilleur rendement du Silicium
- Puissances de calcul très élevées
- Applications relativement simples
- 1 circuit intégré par application

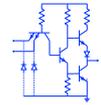


APPLICATION : $Y = AX^2 + BX + C$

- Introduction (objectifs, état de l'art, contexte TIC, Micro-nanoélectronique)
- 1- **Caractéristiques générales des circuits logiques**
- 2- **Logiques à transistors bipolaires**
- 3- **Logiques à transistors MOS. Logique CMOS**
 - » Principes physiques et technologiques
 - » Inverseur, circuits élémentaires combinatoires
 - » Caractérisation électrique de l'inverseur, optimisation électrique
 - » Introduction aux circuits dynamiques et séquentiels
- 4- Autres technologies
- 5- Comparaison des performances
- 6- **Introduction aux Circuits intégrés programmables (PLD, FPGA)**
 - » Principes et classification
 - » Technologies de programmation
 - » Architectures et circuits
- 7- Du composant discret au circuit spécifique (ASIC) : principes, conception
- Conclusion

2- Logiques à transistors bipolaires

- 1- Rappels Technologiques
- 2- Rappel : Inverseur
- 3- Logiques saturées
- 4- Logiques non saturées



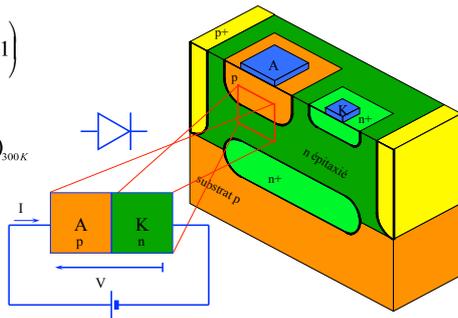
NOTE : cette partie du cours, située dans le contexte historique des CI numériques, sera résumée. L'état de l'art conduit à se focaliser principalement sur la technologie CMOS

2.1 Rappels

Structure d'une diode à jonction

$$I = I_S \left(e^{\frac{V}{V_T}} - 1 \right)$$

$$V_T = \frac{kT}{q} = (25,86mV)_{300K}$$

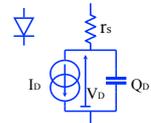


Paramètres Spice (Diode)

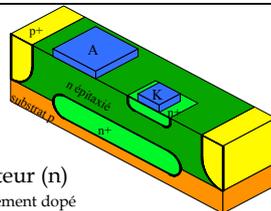
IS	Saturation current	A	1e-14	1e-16
RS	Ohmic resistance	Ω	0	10
N	Emission coefficient	-	1	1
CJ0	Zero bias depletion capacitance	F	0	2p
VJ	Built-in potential	V	1	0.8
M	Junction exponential factor	-	0.5	0.5
TT	Transit time	s	0	0.1n

$$I_D = I_S \left(e^{\frac{V_D}{V_T}} - 1 \right)$$

$$Q_D = \tau_T I_S \left(e^{\frac{V_D}{V_T}} - 1 \right) + C_{j0} \int_0^{V_D} \left(1 - \frac{V}{V_J} \right)^{-m} dV$$



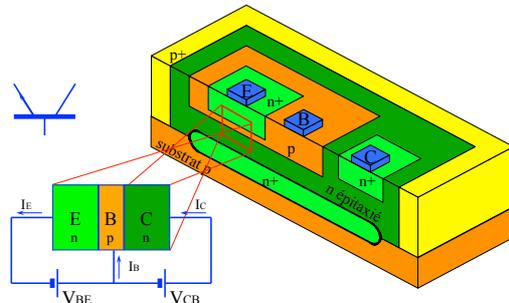
2.1 Rappels : Diode Schottky



- **Jonction métal - semi-conducteur (n)**
 - » le semi-conducteur doit être faiblement dopé
 - » le contact doit être d'excellente qualité
 - Même caractéristique statique que la diode PN
 - Seuls les porteurs majoritaires (électrons) sont impliqués dans la conduction
- Pas d'effet de stockage de charges**

2.1 Rappels

Structure d'un transistor bipolaire



2.3- Logique « DTL »

(archive historique: état de l'art des années 70-80)

- Fonction ET à diodes suivie d'un inverseur
- Fonction de base : NAND
- l' étage précédent absorbe du courant
- Surface importante (diodes)

$V_{IL} \approx 1.43V$
 $V_{IH} \approx 1.60V$
 $V_{OL} \approx 0.09V$
 $V_{OH} \approx 3.97V$
 $NM_H \approx 2.4V$
 $NM_L \approx 1.3V$

Pr. M. ROBERT Circuits intégrés numériques

$V_{CC} = 4V$
 $V_{BB} = -2V$

A = B = 0 donc D1 et D2 polarisées en direct
 $V_X = V_e + V_{D1} = 0,1 + 0,7 = 0,8V$
 Q1 bloqué car $V_Y = V_X - V_{D3} - V_{D4} = -0,6V$
 Débloquage de Q1 si $V_X = 2,1V$

A = B = 1 donc D1 et D2 bloquées
 $V_X > 2,1V$ et D3, D4 conduisent
 Q1 saturé

$V_{OH} = V_{CC}$
 $V_{OL} = V_{CEsat}$
 $V_{IL} = V_{BEon} + V_{D3} + V_{D4} - V_{D1} = 1,4V$
 $V_{IH} = V_{BEsat} + V_{D3} + V_{D4} - V_{D1} = 1,5V$ début de saturation de Q1

Conclusion : $NM_H = V_{OH} - V_{IH} = 4 - 1,5 = 2,5V$
 $NM_L = V_{IL} - V_{OL} = 1,4 - 0,1 = 1,3V$

Pr. M. ROBERT Circuits intégrés numériques

EXERCICE

A=B=0. Calculer V_X et V_Y . Etat de Q1?
 A=B=1. Calculer V_X et V_Y . Etat de Q1?
 Déterminer V_{OH} , V_{OL} , V_{IL} , V_{IH}
 En déduire NM_H et NM_L
 Etude de la sortance

Données technologiques : $V_{ce sat} = 0,1V$
 $V_{be on} = 0,7V$ ($V_{be sat} = 0,8V$) $V_D = 0,7V$

Pr. M. ROBERT Circuits intégrés numériques

Logique « TTL »

(Transistor Transistor Logic)
 (archive historique: état de l'art des années 70-80)

- Etage d'entrée d'une porte DTL

⇒ transistor multiémetteur

Pr. M. ROBERT Circuits intégrés numériques

TTL : principe

$V_{CC} = 5V$
 R_1 , R_c , R_2 , R_3 , R_4
 Q_1 , Q_2 , Q_3 , Q_4
 S , Gnd

1) A = 1
 courant I_{e1}
 Q_2 saturé
 $S = 0$
 Q_1 en mode "inverse" (Emetteur/Collecteur)

2) A = 0
 courant I'_{e1}
 Q_2 bloqué
 $S = 1$
 Q_1 en mode "normal" (Emetteur/Collecteur)

Fonction "Nand"
 Logique à extraction de courant

Pr. M. ROBERT Circuits intégrés numériques

TTL

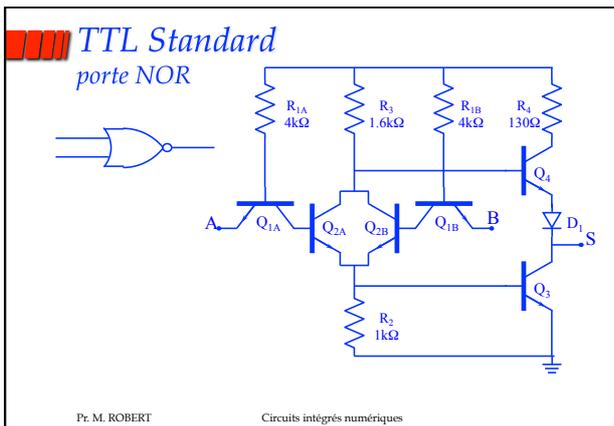
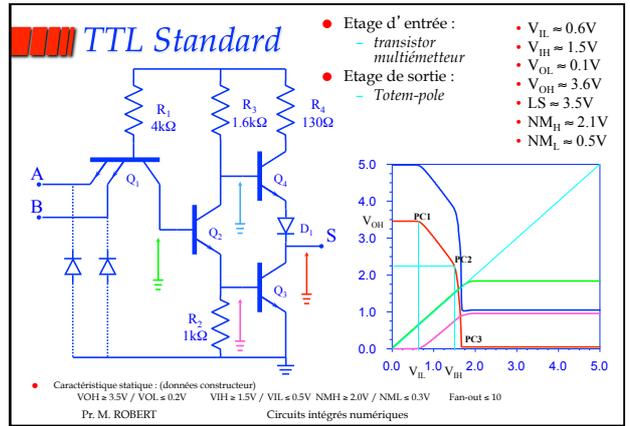
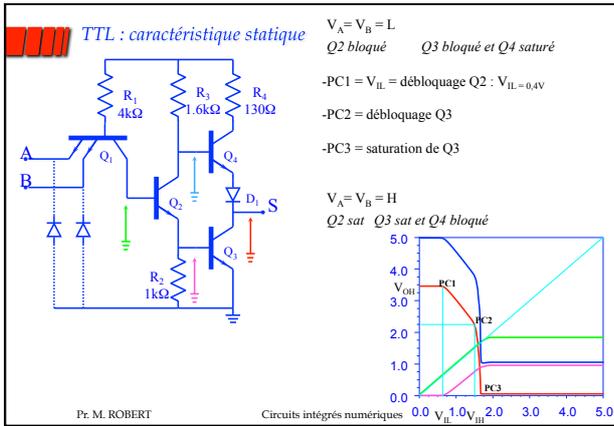
$V_A = V_B = H$
 Q_2 sat Q_3 sat et Q_4 bloqué
 Car:
 $V_c(Q_2) = V_{ce}(Q_2) + V_{be}(Q_3) = 0,9V$
 $V_s = 0,2V$

Sans la diode D1, Q4 est saturé
 Car $V_{be}(Q_4) = V_b(Q_4) - V_c(Q_3) = 0,7V$

Avec D1, $V_{be}(Q_4) = 0$ et Q_4 bloqué.

$V_A = V_B = L$
 Q_2 bloqué Q_3 bloqué et Q_4 saturé

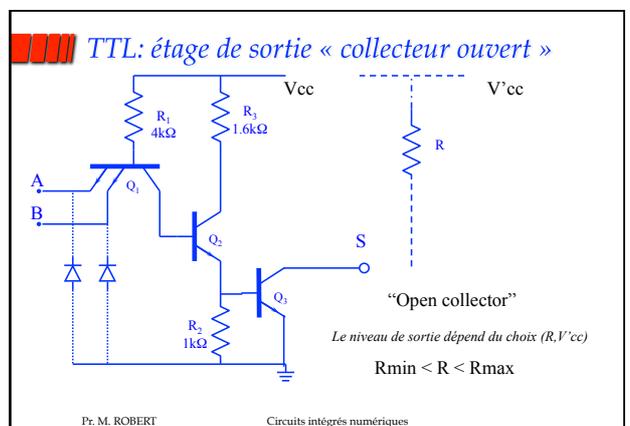
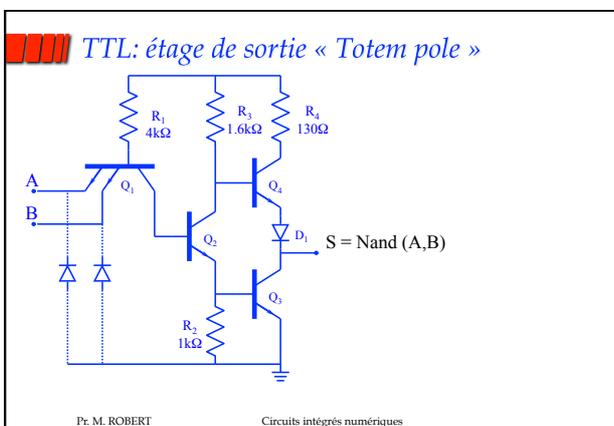
Pr. M. ROBERT Circuits intégrés numériques



Portes TTL : Etages de sortie

- Totem pole
- Collecteur ouvert (Open collector) :
 - Et câblé,
 - $V_{OH} = f(R, V_{cc})$
- Trois états (3 states) : 0, 1, Z

Pr. M. ROBERT Circuits intégrés numériques



TTL: étage de sortie « collecteur ouvert » Et câblé

Pr. M. ROBERT Circuits intégrés numériques

TTL: étage de sortie « collecteur ouvert »

- $I_{IL} \approx 1,6 \text{ mA}$
- $I_{IH} \approx 40 \mu\text{A}$
- $I_{OL} \approx 16 \text{ mA}$
- $I_{OH} \approx 250 \mu\text{A}$
- $V_{OL \text{ max}} \approx 0,4 \text{ V}$
- $V_{OH \text{ min}} \approx 2,4 \text{ V}$
- $V_{CC} = 5 \text{ V}$
- $N = 3$
- $n = 4$

$R_{\text{min}} < R < R_{\text{max}}$

Exercice

$R_{\text{min}} = ?$

$R_{\text{max}} = ?$

Pire cas ?

Pr. M. ROBERT Circuits intégrés numériques

TTL: étage de sortie « collecteur ouvert »

- $I_{IL} \approx 1,6 \text{ mA}$
- $I_{IH} \approx 40 \mu\text{A}$
- $I_{OL} \approx 16 \text{ mA}$
- $I_{OH} \approx 250 \mu\text{A}$
- $V_{OL \text{ max}} \approx 0,4 \text{ V}$
- $V_{OH \text{ min}} \approx 2,4 \text{ V}$
- $V_{CC} = 5 \text{ V}$
- $N = 3$
- $n = 4$

$R_{\text{min}} < R < R_{\text{max}}$

$R_{\text{min}} = 410 \text{ ohms}$

$R_{\text{max}} = 2321 \text{ ohms}$

Pr. M. ROBERT Circuits intégrés numériques

TTL: étage de sortie « collecteur ouvert »

Pire cas au niveau haut :

Assurer $V_{OH} > V_{OH \text{ min}}$

$$R = \frac{V_{CC} - V_{OH \text{ min}}}{nI_{OH} + NI_{IH}}$$

$$R_{\text{max}} = \frac{5 - 2,4}{0,001 + 0,00012}$$

$R_{\text{max}} = 2321 \text{ ohms}$

Pr. M. ROBERT Circuits intégrés numériques

TTL: étage de sortie « collecteur ouvert »

Pire cas au niveau bas :

Assurer $V_{OL} < V_{OL \text{ max}}$

$$R = \frac{V_{CC} - V_{OL \text{ max}}}{I_{OL} - NI_{IL}}$$

$$R_{\text{min}} = \frac{5 - 0,4}{0,016 - 0,0048}$$

$R_{\text{min}} = 410 \text{ ohms}$

Pr. M. ROBERT Circuits intégrés numériques

TTL: étage de sortie « 3 états » : principe

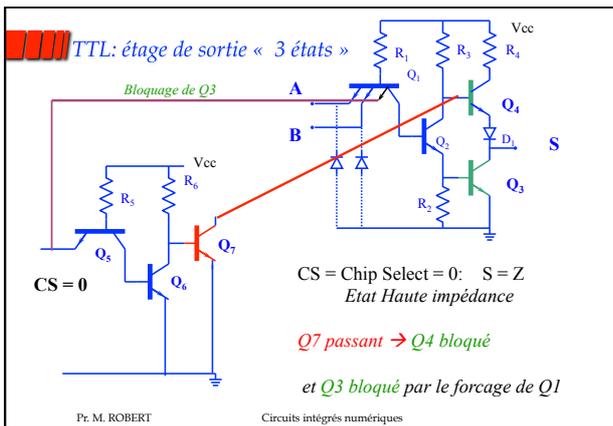
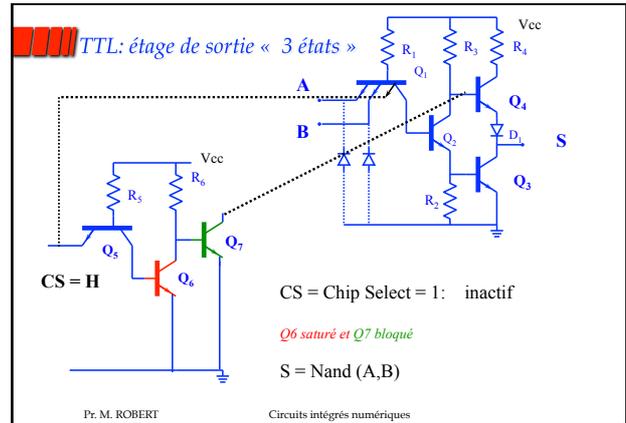
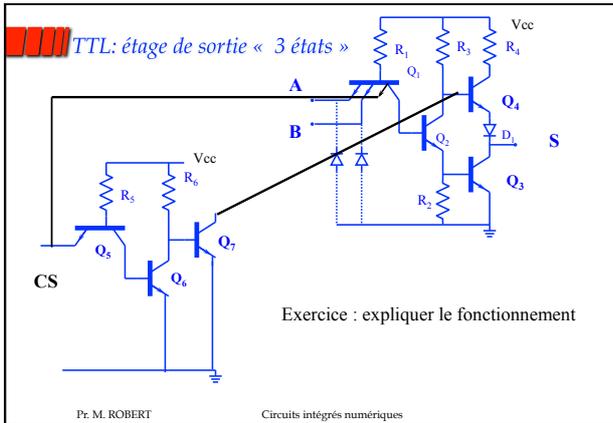
CS = Chip Select = 1: $S = \text{Nand}(A,B)$

CS = Chip Select = 0: $S = Z$

$Z = \text{Etat Haute impédance}$

Application : sélection d'un circuit parmi N placés en parallèle sur un bus commun (exemple : mémoire)

Pr. M. ROBERT Circuits intégrés numériques



2- Logiques à transistors bipolaires

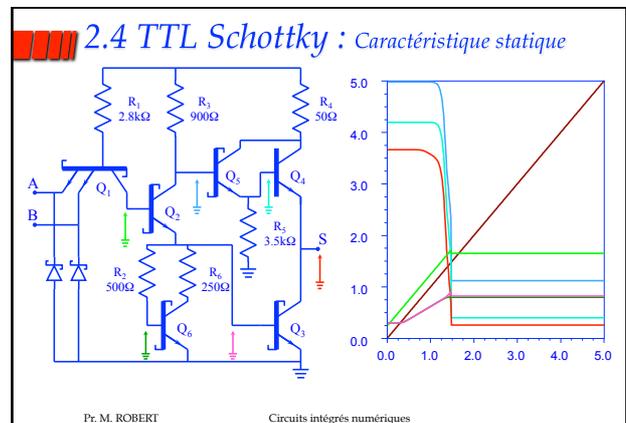
- 1- Rappels technologiques
- 2- Rappel : Inverseur
- 3- Logiques saturées
- 4- Logiques non saturées

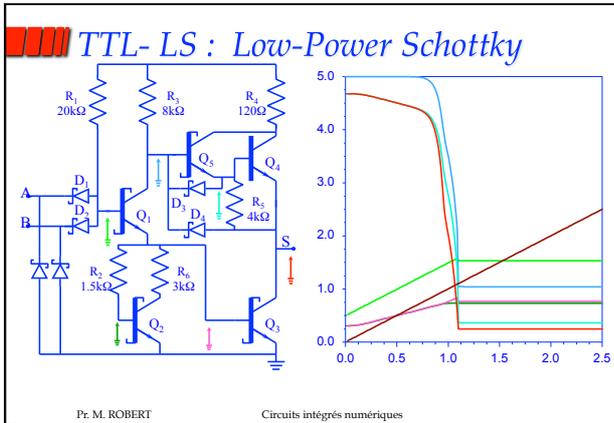
Pr. M. ROBERT Circuits intégrés numériques

TTL : Historique (archive historique: état de l'art des années 70-80)

- TTL : 1965
- TTL-S : 1970 *saut technologique « Schottky »*
 - » Consommation double de TTL
 - » Délai moyen : 3 ns (10 ns pour TTL)
- TTL-LS : 1975
 - » Besoin : fonctions complexes, dissipation d'un boîtier limitée
 - » Délai typique 10 ns
 - » Puissance dissipée : 2 mW
 - » 1/5^e de celle d'un TTL standard
 - » Multi-mètre n'est plus nécessaire; plus de transistor saturé,
- TTL-ALS-AS : 1982 *sauts technologiques*
- Ensuite : disparition progressive....
 - principes exploités dans des approches mixtes BiCMOS

Pr. M. ROBERT Circuits intégrés numériques



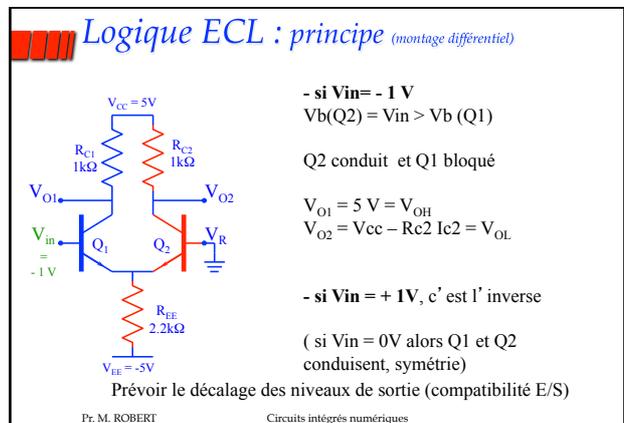
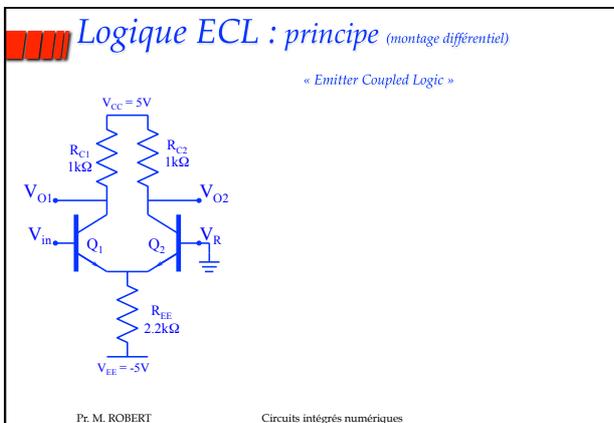
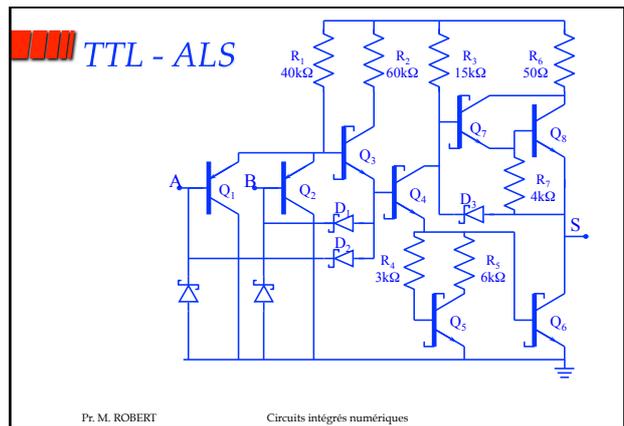
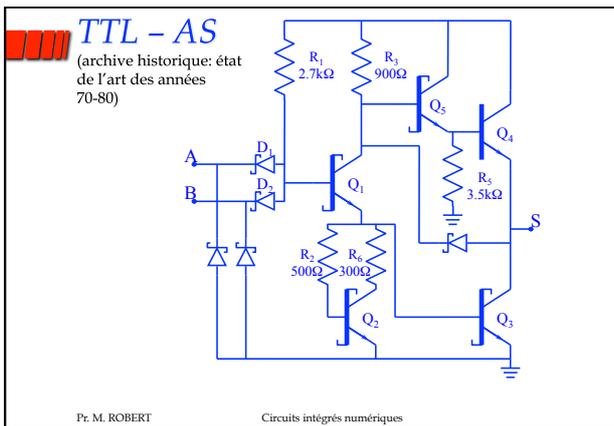


TTL S et LS (archive historique: état de l'art des années 70-80)

principales caractéristiques

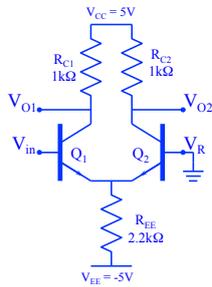
	TTL	TTL - S	TTL - LS
min V_{OH} / max V_{OL}	2.4V / 0.4V	2.7V / 0.5V	2.7V / 0.5V
min V_{IH} / max V_{IL}	2.0V / 0.8V	2.0V / 0.8V	2.0V / 0.8V
min I_{OH} / min I_{OL}	-0.4mA / 16mA	-1mA / 20mA	-0.4mA / 8mA
max I_{IH} / max I_{IL}	40μA / -1.6mA	50μA / -2mA	20μA / -0.4mA
min NM_H / min NM_L	0.4V / 0.4V	0.7V / 0.3V	0.7V / 0.3V
min LS	2V	2.2V	2.2V
Fan-out	10	10	20
t_p (typ)	10ns	3ns	10ns
P_D (typ)	10mW	20mW	2mW
PDP	100pJ	60pJ	20pJ

Pr. M. ROBERT Circuits intégrés numériques



Logique ECL : principe (montage différentiel)

« Emitter Coupled Logic »



$$I_c \approx I_e = \frac{V_R - V_{BE}(Q2) - V_{EE}}{R_{EE}}$$

Avec $V_{EE} > V_{BE}$

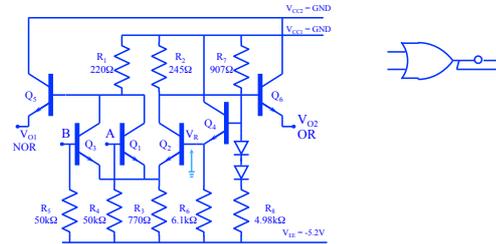
Soit: $V_{OL} = V_{CC} - R_c I_c$

$$= V_{CC} - \frac{R_c}{R_{EE}} (V_R - V_{EE})$$

Pr. M. ROBERT

Circuits intégrés numériques

ECL 10K (archive historique: état de l'art des années 70-80)



Pr. M. ROBERT

Circuits intégrés numériques

ECL 10K (archive historique: état de l'art des années 70-80) principales caractéristiques

- Caractéristique statique
 - » $V_{OH} \geq -0.9V$ / $V_{OL} \leq -1.7V$
 - » $V_{IH} \geq -1.2V$ / $V_{IL} \leq -1.4V$
 - » $NMH \geq 0.3V$ / $NML \leq 0.3V$
 - » $LS \geq 0.8V$
 - » Fan-out ≤ 10
 - » Puissance moyenne dissipée : 24mW
- Caractéristique dynamique
 - » temps de propagation moyen : 2ns
- Facteur de mérite
 - » Produit délai puissance = 48 pJ

Pr. M. ROBERT

Circuits intégrés numériques

Logiques non saturées

Conclusion (archive historique: état de l'art des années 70-80)

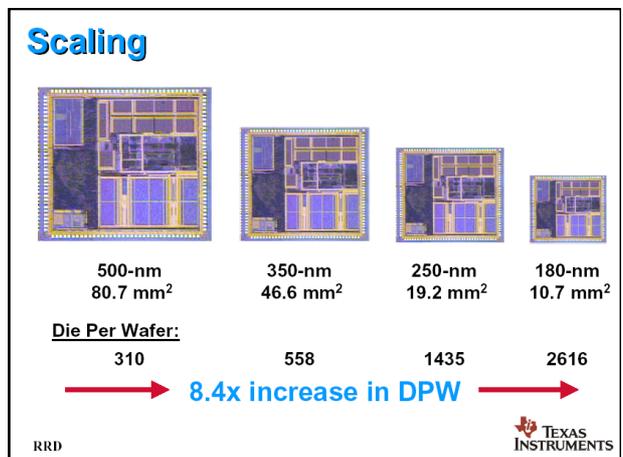
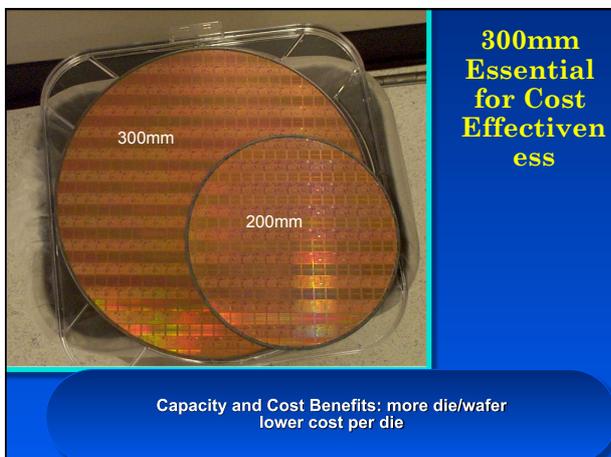
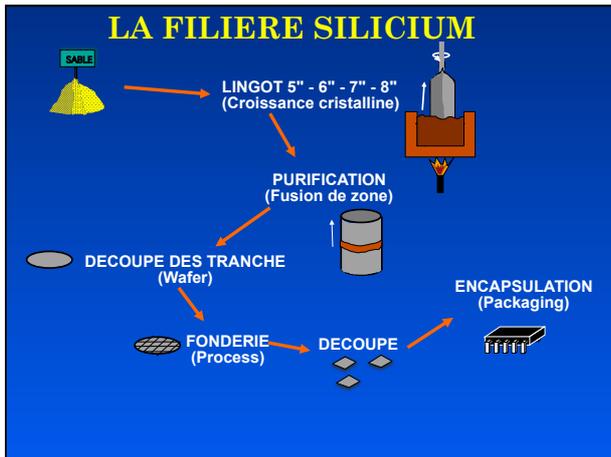
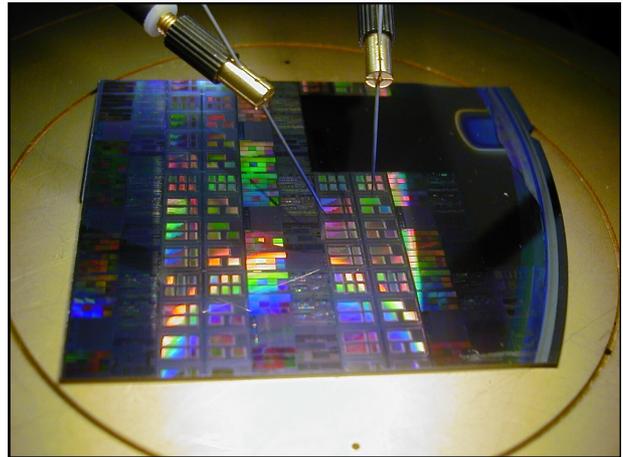
- TTL Schottky
 - 1975 - 1985
 - rapidité / consommation
- ECL
 - rapidité
 - forte consommation
- ... A COMPARER AUX PERFORMANCES ACTUELLES DU CMOS !

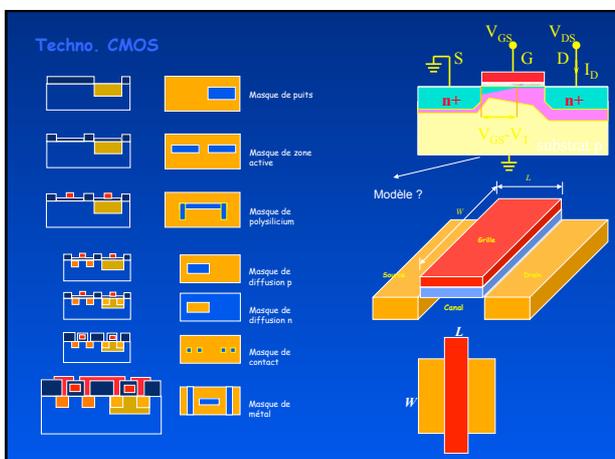
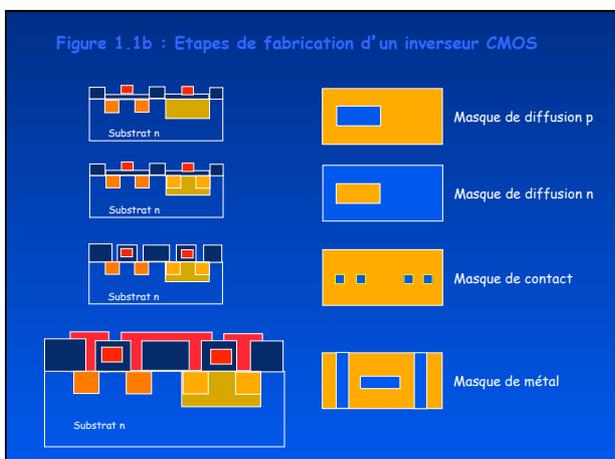
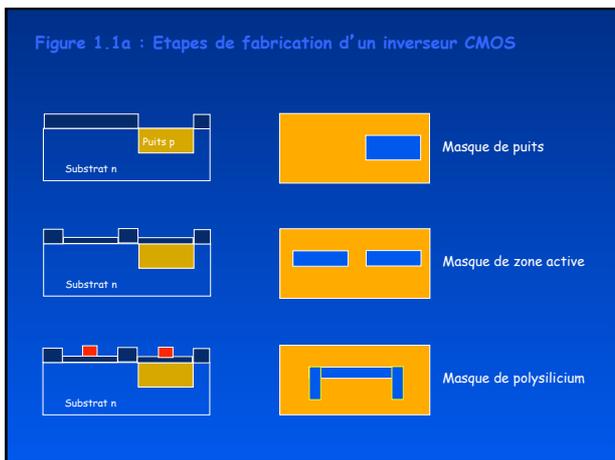
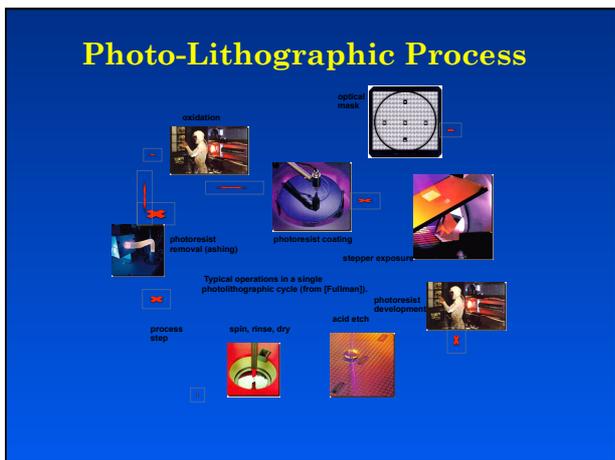
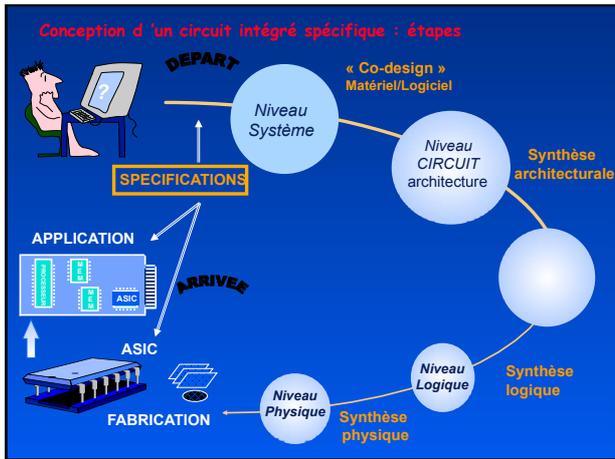
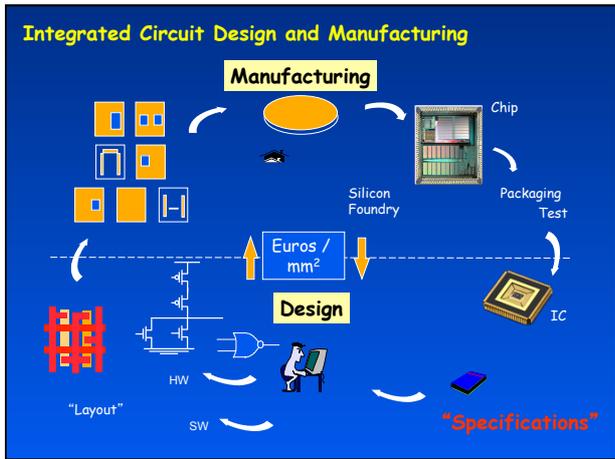
Pr. M. ROBERT

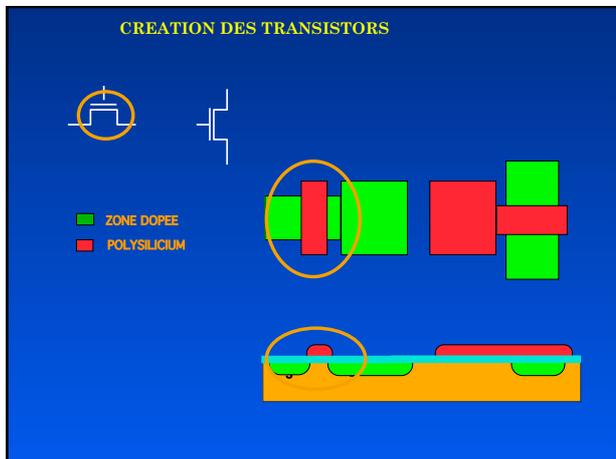
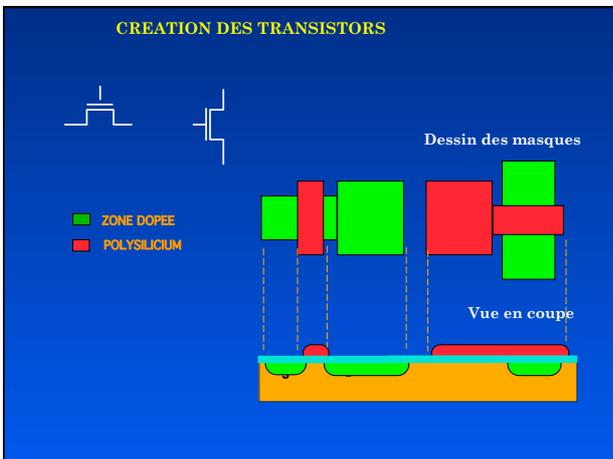
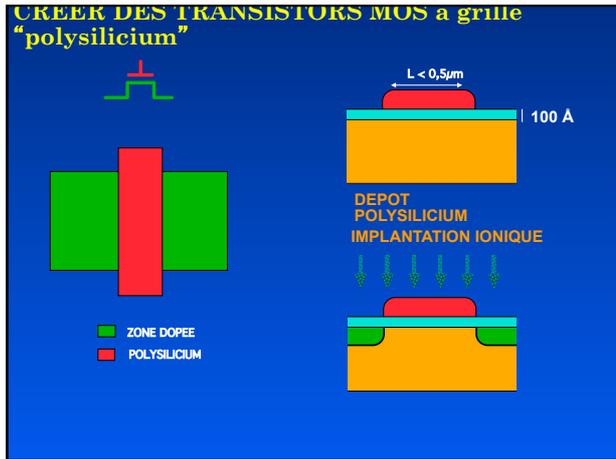
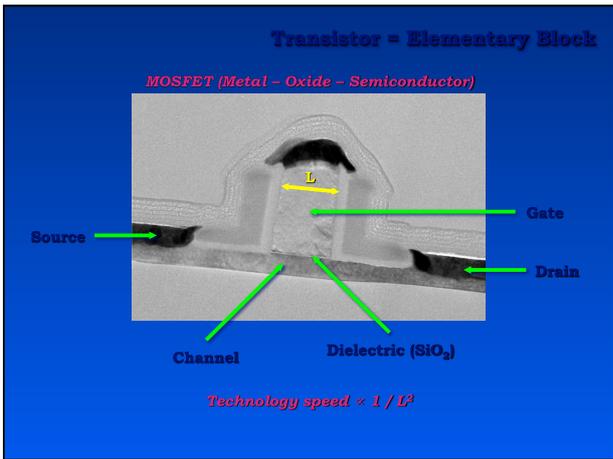
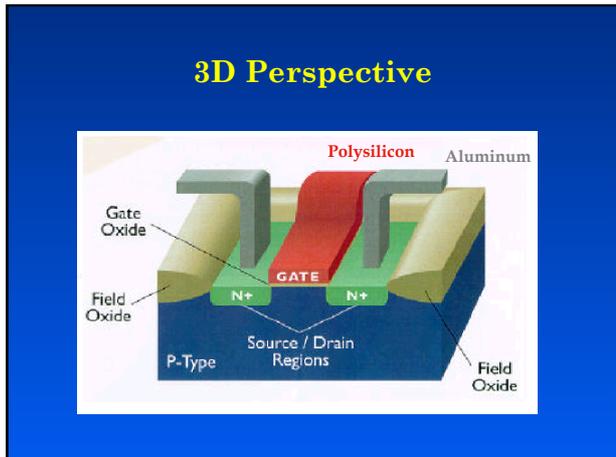
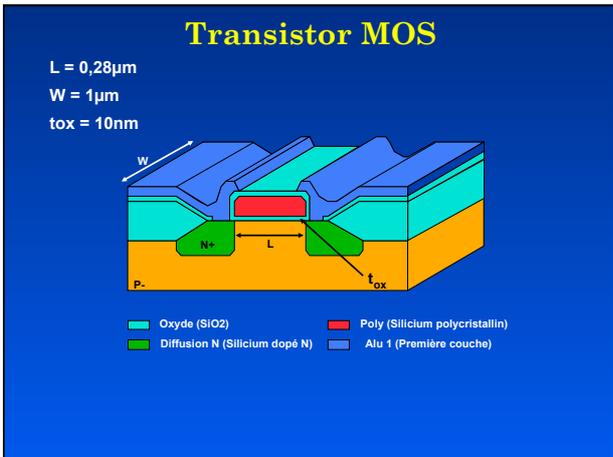
Circuits intégrés numériques

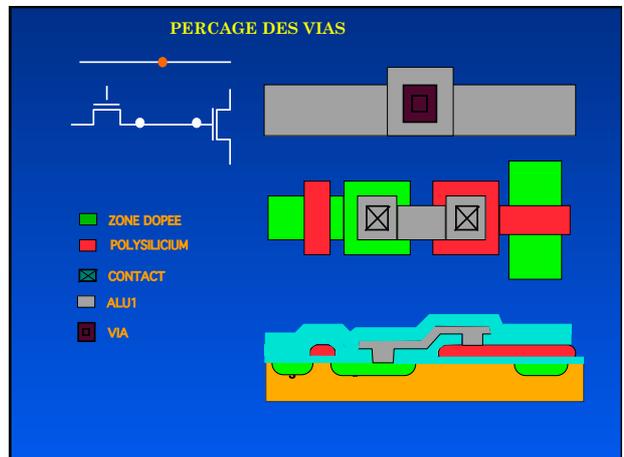
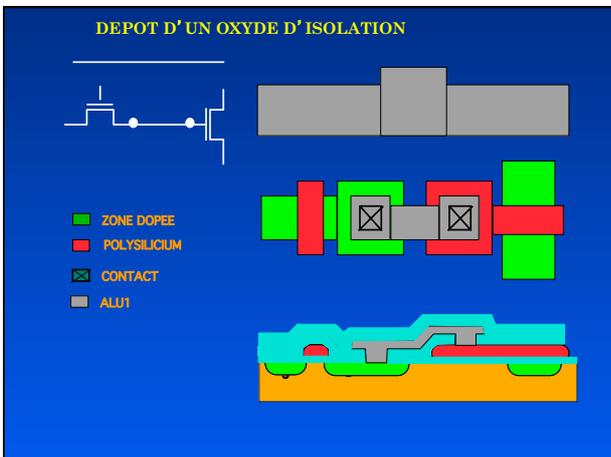
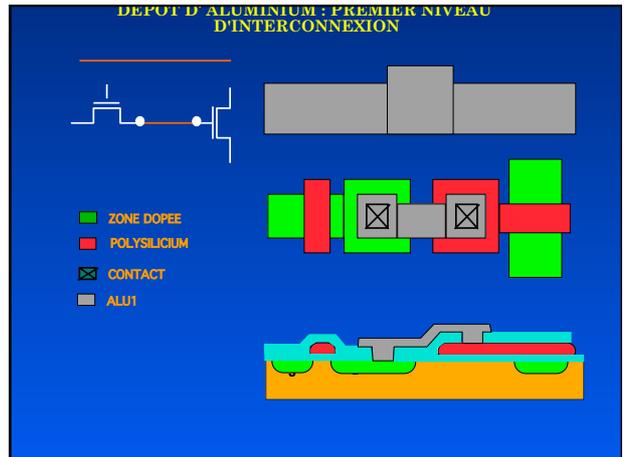
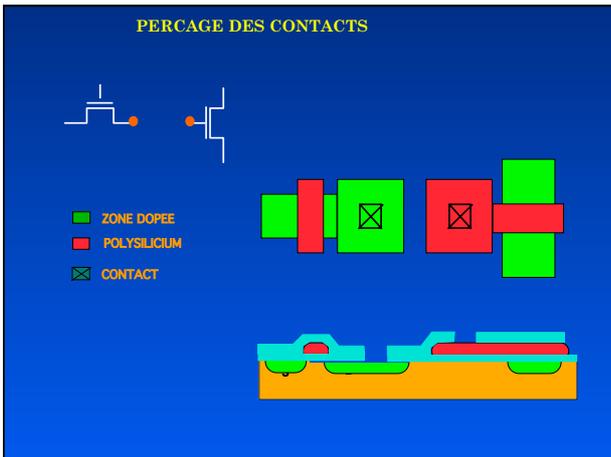
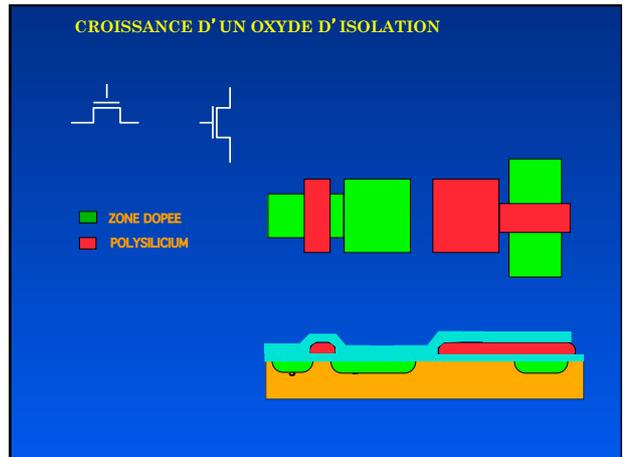
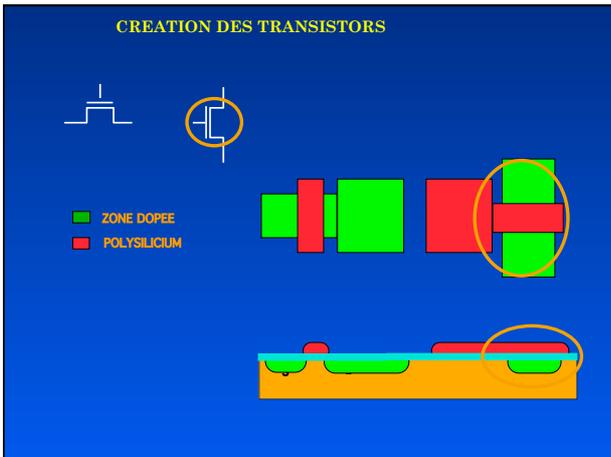
- Introduction (objectifs, état de l'art, contexte TIC, Micro-nanoélectronique)
- 1- **Caractéristiques générales des circuits logiques**
- 2- Logiques à transistors bipolaires
- 3- **Logiques à transistors MOS. Logique CMOS**
 - » Principes physiques et technologiques
 - » Inverseur, circuits élémentaires combinatoires
 - » Caractérisation électrique de l'inverseur, optimisation électrique
 - » Introduction aux circuits dynamiques et séquentiels
- 4- Autres technologies
- 5- Comparaison des performances
- 6- **Introduction aux Circuits intégrés programmables (PLD, FPGA)**
 - » Principes et classification
 - » Technologies de programmation
 - » Architectures et circuits
- 7- Du composant discret au circuit spécifique (ASIC) : principes, conception

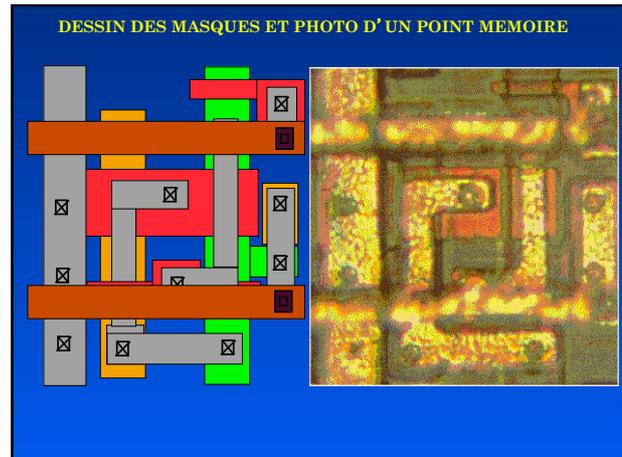
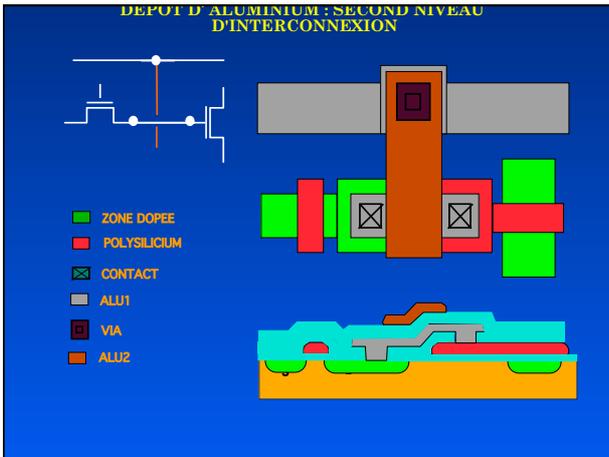
Pr. Michel ROBERT











Règles de dessin des masques technologiques ("design rules")

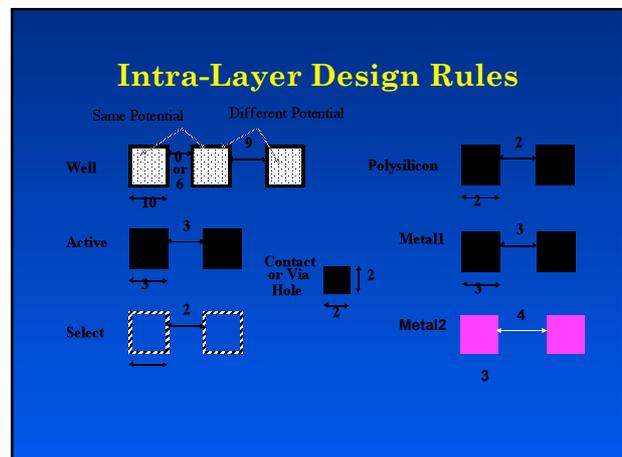
- Interface between designer and process engineer
- Guidelines for constructing process masks
- Unit dimension: Minimum line width
 - ◆ *scalable design rules: lambda parameter*
 - ◆ *absolute dimensions (micron rules)*

CMOS Process Layers

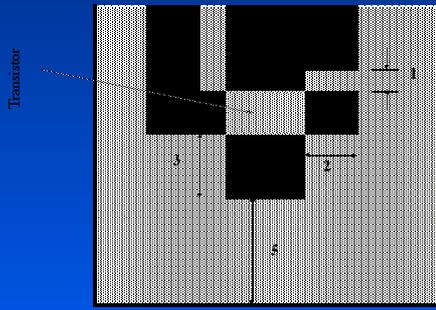
Layer	Color	Representation
Well (p,n)	Yellow	
Active Area (n+,p+)	Green	
Select (p+,n+)	Green	
Polysilicon	Red	
Metal1	Blue	
Metal2	Magenta	
Contact To Poly	Black	
Contact To Diffusion	Black	
Via	Black	

Layers in 0.25 µm CMOS process

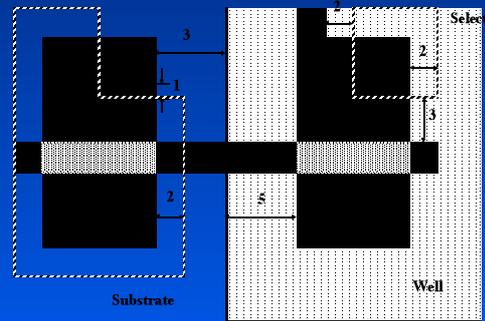
Layer Description	Representation
metal	m1, m2, m3, m4, m5
well	nw
polysilicon	poly
contacts & vias	ct, v12,v23,v34,v45, nvc, pvc
active area and FETs	ndif, pdif, nfcf, pfcf
select	nplus, pplus, prb



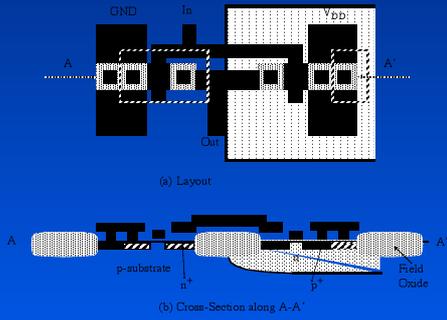
Transistor Layout



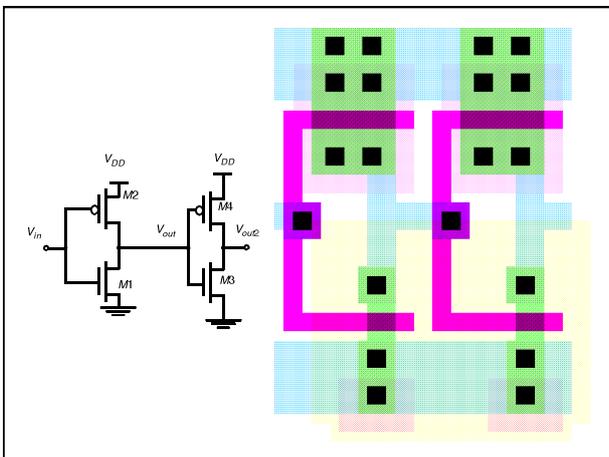
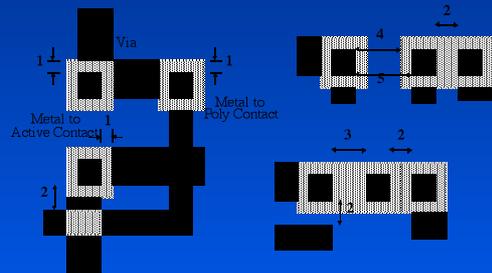
Select Layer



CMOS Inverter Layout



Vias and Contacts



- Introduction (objectifs, état de l'art, contexte TIC, Micro-nanoélectronique)
- 1- **Caractéristiques générales des circuits logiques**
- 2- Logiques à transistors bipolaires
- 3- **Logiques à transistors MOS. Logique CMOS**
 - » Principes physiques et technologiques
 - » Inverseur, circuits élémentaires combinatoires
 - » Caractérisation électrique de l'inverseur, optimisation électrique
 - » Introduction aux circuits dynamiques et séquentiels
- 4- Autres technologies
- 5- Comparaison des performances
- 6- **Introduction aux Circuits intégrés programmables (PLD, FPGA)**
 - » Principes et classification
 - » Technologies de programmation
 - » Architectures et circuits
- 7- Du composant discret au circuit spécifique (ASIC) : principes, conception
- Conclusion

Pr. Michel ROBERT

Circuits intégrés numériques

Logiques à transistors MOS

Circuits intégrés numériques

QUESTIONS ELEMENTAIRES

- ETAPES DU PROCEDE DE FABRICATION D'UN TRANSISTOR MOS. COMMENT EST REALISEE LA GRILLE DU TRANSISTOR ?
- DESSINER UN TRANSISTOR MOS : INDIQUER LES PARAMETRES W, L. QUELS SONT LES ORDRES DE GRANDEUR DES DIMENSIONS ?
- FONCTIONNEMENT D'UN TRANSISTOR MOS : DISTINGUER LES PARAMETRES GEOMETRIQUES, TECHNOLOGIQUES ET ELECTRIQUES.
- ANALYSE STATIQUE D'UN INVERSEUR CMOS: niveaux ? Marges de bruit ?
- ANALYSE DE LA SORTANCE D'UN INVERSEUR CMOS.
- ANALYSE DE LA PUISSANCE DISSIPÉE PAR UN INVERSEUR CMOS.
- IMPACT DES DIMENSIONS W ET L SUR LA VITESSE DE COMMUTATION D'UN INVERSEUR CMOS ?
-

Circuits intégrés numériques

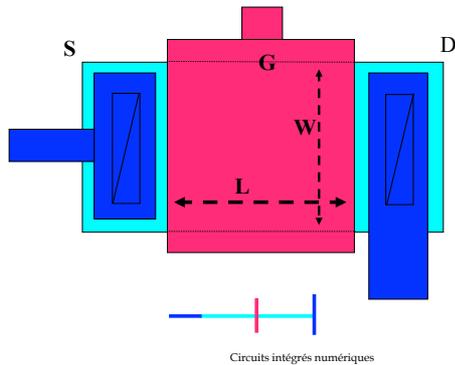
Structure d'un transistor NMOS

Rappel : procédé CMOS

TECHNOLOGIE : Transistor MOS canal N

Circuits intégrés numériques

TECHNOLOGIE : Transistor MOS canal N



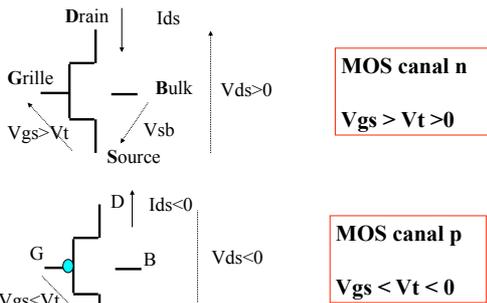
Rappels technologiques

Différents types de transistor MOS

PMOS		
NMOS		Conducteur si VGS=0 Charge active Vt<0
	Enrichissement	Déplétion

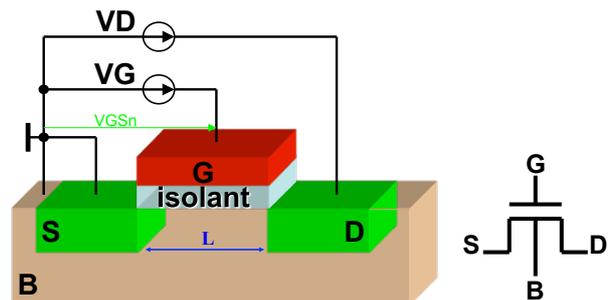
Circuits intégrés numériques

TRANSISTORS MOS à enrichissement

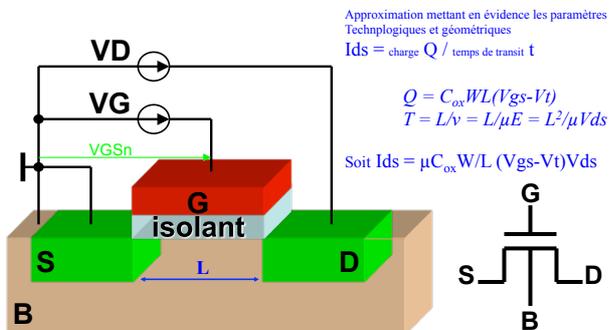


Circuits intégrés numériques

Fonctionnement du Transistor NMOS

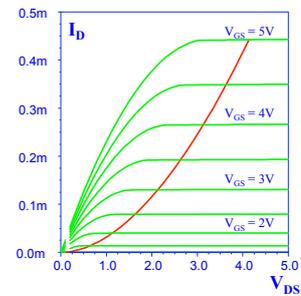


Fonctionnement du Transistor NMOS



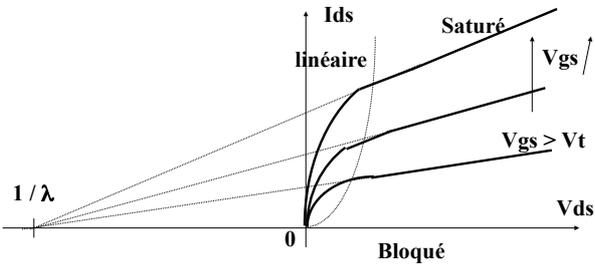
Rappels technologiques : Caractéristiques courant/tension

W=100µm, L=100µm



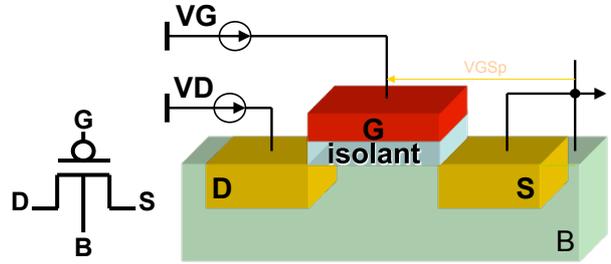
Circuits intégrés numériques

MODELE STATIQUE NMOS



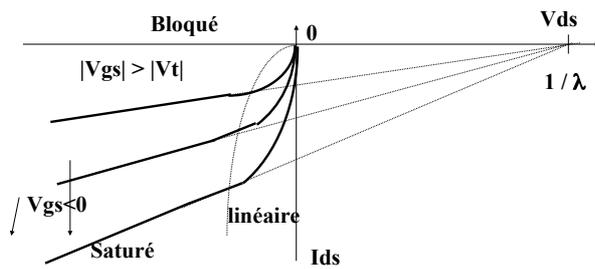
Circuits intégrés numériques

Fonctionnement du Transistor PMOS



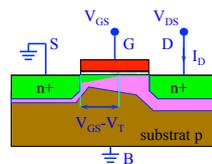
Circuits intégrés numériques

MODELE STATIQUE NON-LINEAIRE PMOS



Circuits intégrés numériques

Rappels technologiques : Modes de fonctionnement



- **Région linéaire :** $V_{DS} \leq V_{GS} - V_T$

$$I_D = KP_n \frac{W}{L} \left((V_{GS} - V_T) V_{DS} - \frac{V_{DS}^2}{2} \right)$$
 avec $KP_n = \mu_n C_{ox} = \frac{\mu_n \epsilon_{ox}}{t_{ox}}$
- **Saturation :** $V_{DS} \geq V_{GS} - V_T$

$$I_D = \frac{KP_n W}{2 L} (V_{GS} - V_T)^2 (1 + \lambda V_{DS})$$

- **Bloqué :** $V_{GS} < V_T$

Circuits intégrés numériques

Current-Voltage Relations Long-Channel Device

Linear Region: $V_{DS} \leq V_{GS} - V_T$

$$I_D = k_n \frac{W}{L} \left((V_{GS} - V_T) V_{DS} - \frac{V_{DS}^2}{2} \right)$$

with

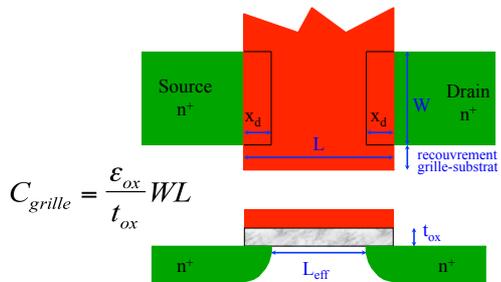
$$k_n = \mu_n C_{ox} = \frac{\mu_n \epsilon_{ox}}{t_{ox}} \quad \text{Process Transconductance Parameter}$$

Saturation Mode: $V_{DS} \geq V_{GS} - V_T$

$$I_D = \frac{k_n W}{2 L} (V_{GS} - V_T)^2 (1 + \lambda V_{DS}) \quad \text{Channel Length Modulation}$$

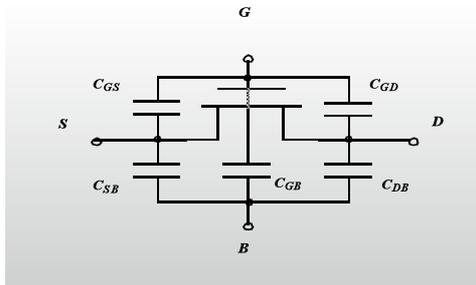
Circuits intégrés numériques

Rappels technologiques : Capacités de grille



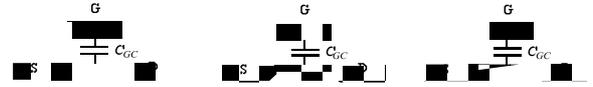
Circuits intégrés numériques

Dynamic Behavior of MOS Transistor



Circuits intégrés numériques

Gate Capacitance

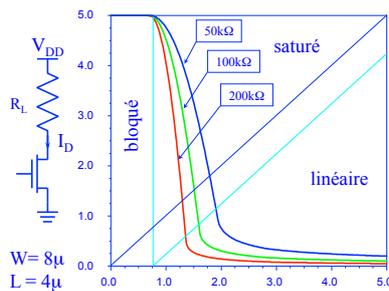


Operation Region	C_{gb}	C_{gs}	C_{gd}
Cutoff	$C_{ox}WL_{eff}$	0	0
Triode	0	$C_{ox}WL_{eff}/2$	$C_{ox}WL_{eff}/2$
Saturation	0	$(2/3)C_{ox}WL_{eff}$	0

Most important regions in digital design: saturation and cut-off

Circuits intégrés numériques

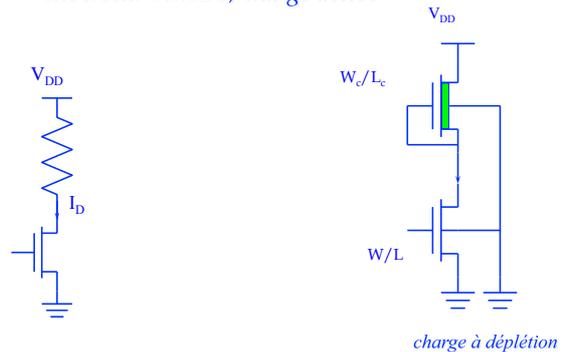
Inverseur NMOS



- $V_{IL} \approx 0.8V$
- $V_{IH} \approx 1.72V$
- $V_{OL} \approx 0.45V$
- $V_{OH} \approx 4.96V$
- $NM_H \approx 3.24V$
- $NM_L \approx 1.27V$

Circuits intégrés numériques

Inverseur NMOS, charge active



charge à déplétion

Circuits intégrés numériques

Logique NMOS : bilan et historique

- Logique à rapport : l'un des états se traduit par une consommation statique
- Dimensionnement des transistors en fonction de la charge à attaquer
- Aucun avantage initial (années 70-80) sur TTL pour SSI
- Abandonné rapidement pour le CMOS (années 80)

- Exercice : réaliser un Nand2 et un Nor2 en technologie NMOS

Circuits intégrés numériques

Technologie CMOS : Historique

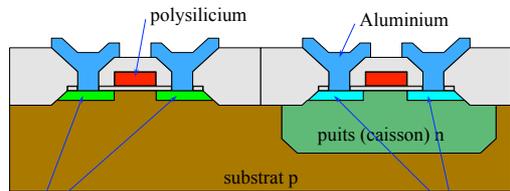
- années 1970 : CD4000 / MM74C (grille métal)
 - > faible vitesse (100ns)
 - > forte sensibilité aux décharges électrostatiques
- > 1982 : séries 74HC et 74AC (grille poly.)
 - > versions CMOS du « mécano » TTL
- >1990 :
 - > circuits standards
 - > circuits programmables (FPGA)
 - > circuits spécifiques (ASICs)
- Aujourd'hui : technologie reine
- Demain : Limites physiques ? Coûts ? Autres alternatives ?

1 GT sur 1 puce !

Circuits intégrés numériques

- **Technologies MOS** : principes de base, propriétés électriques, circuits logiques MOS
- **Technologie CMOS**
 - Principes physiques et technologiques
 - Logique CMOS : circuits élémentaires combinatoires
 - Logique CMOS : caractérisation électrique de l'inverseur
 - Logique CMOS : briques logiques combinatoires et séquentielles
 - Logique CMOS : optimisation électrique
- **Technologie CMOS « nanométriques »** : évolutions technologiques et conséquences

Technologie CMOS : principe



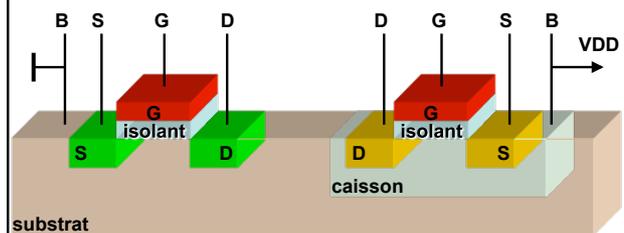
- Autres technologies :
- Twin-well (double puits)
 - SOI (Silicium sur Isolant)

Technologie CMOS

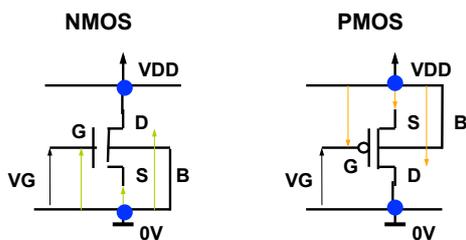
- Principaux avantages
 - consommation ?
 - niveaux logiques définis par les alimentations
 - immunité au bruit?
 - Vitesse ?
 - temps de transition quasi symétriques
 - simplicité des schémas, densité d'intégration,....
- Inconvénients
 - susceptibilité au latch-up et aux décharges électrostatiques
 - Adéquation avec l'évolution des systèmes micro-nano électroniques ?

Evolution Technologique ?

Technologie CMOS : connexions

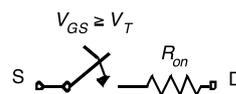


Connexions des transistors N et P

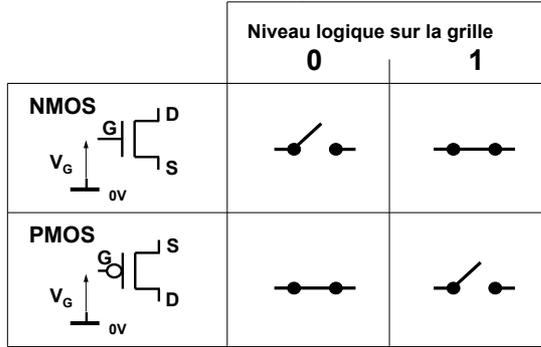


Utilisation du Transistor MOS dans un circuit numérique

Un interrupteur (Switch) !

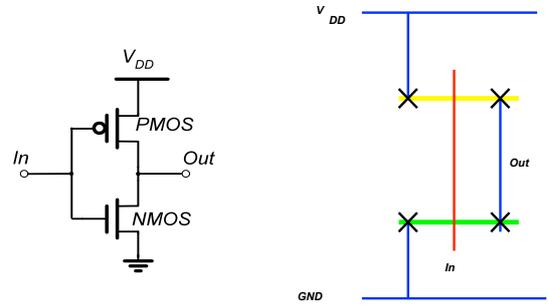


Modèle en « interrupteur »



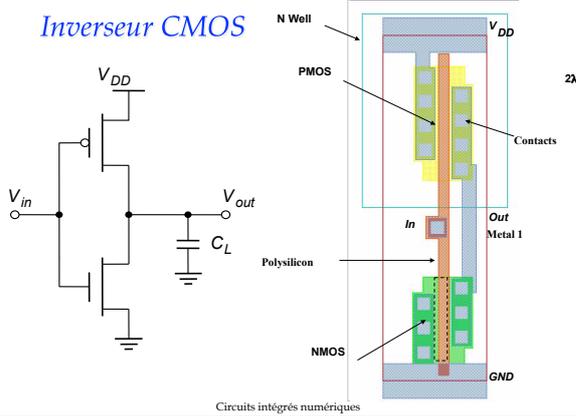
Circuits intégrés numériques

Inverseur CMOS



Circuits intégrés numériques

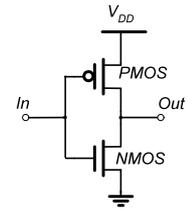
Inverseur CMOS



Circuits intégrés numériques

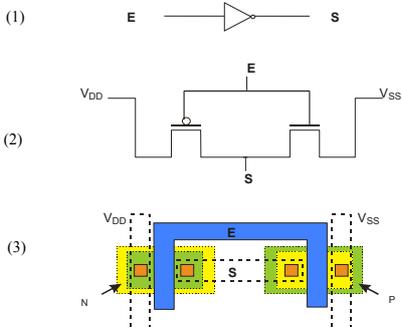
Inverseur CMOS : fonctionnement

- Analyse statique
- Analyse dynamique
- Puissance dissipée



Circuits intégrés numériques

Inverseur CMOS : représentations logique, électrique et topologique



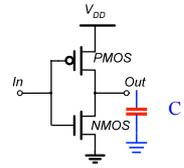
Représentation logique (1), électrique (2) et topologique (3) d'un inverseur CMOS

Circuits intégrés numériques

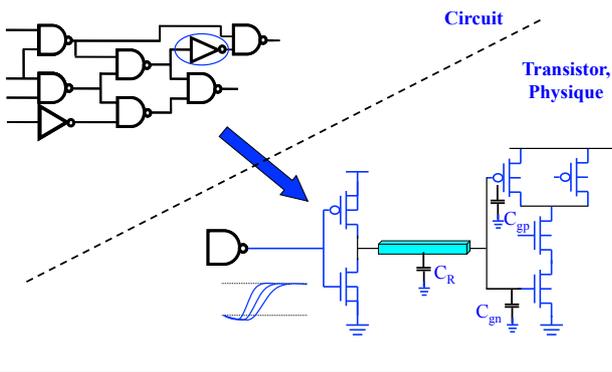
- Introduction (objectifs, état de l'art, contexte TIC, Micro-nanoélectronique)
- 1- **Caractéristiques générales des circuits logiques**
- 2- Logiques à transistors bipolaires
- 3- **Logiques à transistors MOS. Logique CMOS**
 - » Principes physiques et technologiques
 - » Inverseur, circuits élémentaires combinatoires
 - » Caractérisation électrique de l'inverseur, optimisation électrique
 - » Introduction aux circuits dynamiques et séquentiels
- 4- Autres technologies
- 5- Comparaison des performances
- 6- **Introduction aux Circuits intégrés programmables (PLD, FPGA)**
 - » Principes et classification
 - » Technologies de programmation
 - » Architectures et circuits
- 7- Du composant discret au circuit spécifique (ASIC) : principes, conception
- Conclusion

Inverseur CMOS : fonctionnement

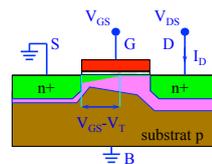
- Analyse statique
- Analyse dynamique
- Puissance dissipée



Environnement électrique



Rappels technologiques : Modes de fonctionnement

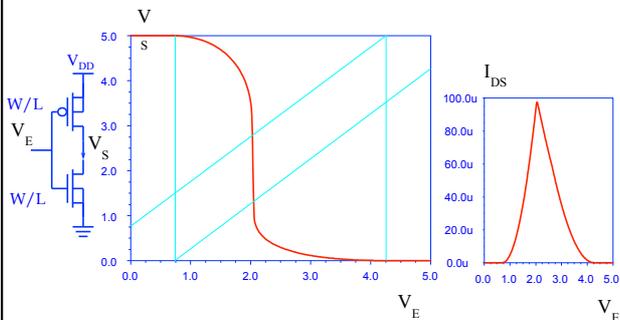


• Région linéaire : $V_{DS} \leq V_{GS} - V_T$

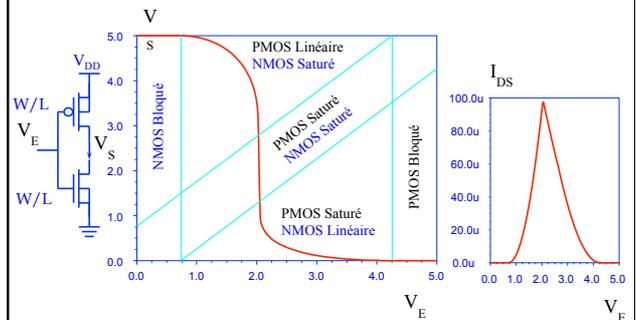
• Saturation : $V_{DS} \geq V_{GS} - V_T$

• Bloqué : $V_{GS} < V_T$

Inverseur CMOS



Inverseur CMOS



Caractéristique statique

MARGES DE BRUIT :

- NML = VIL
- NMH = Vcc - VIH

Hypothèse : $K_N \cdot W_N \cdot L_P / K_P \cdot W_P \cdot L_N = 1 = b$

ou $\mu_N \cdot W_N / \mu_P \cdot W_P = 1$ (si $L_N = L_P$)

« compensation en mobilité de l' inverseur »

Exercice : Déterminer VIL et VIH.

RESULTATS

(hypothèse modèle canal « long ») :

- NML = VIL = $1/4 (3V_{cc}/2 + V_T)$
- NMH = Vcc - VIH = $V_{cc} - 1/4 (5V_{cc}/2 - V_T)$
- Exemple: Vcc = 5V et VT = 0,8 V : NMH = NML = 2,07 V

Circuits intégrés numériques

- Détermination de VIL : NMOS saturé ($V_{gs}=V_e$) et PMOS linéaire ($V_{ds}=V_{cc}-V_s$ et $V_{gs}=V_{cc}-V_e$)

- PMOS linéaire $I_p = (V_{cc}-V_e-V_t)(V_{cc}-V_s) - \frac{1}{2}(V_{cc}-V_s)^2$
- NMOS saturé $I_n = b/2 (V_e-V_t)^2$
- $I_n=I_p$ et $dV_s/dV_e = -1$ pour $V_e=V_{il}$
- $-(V_{cc}-V_e-V_t)(dV_s) - (V_{cc}-V_s)dV_e + (V_{cc}-V_s)dV_s = b(V_e-V_t)dV_e$
- $dV_s/dV_e = -1 = (V_{cc}-V_s+b(V_e-V_t)) / (V_e-V_s+V_t)$ soit $V_s = V_e + 1/2 V_{cc}$ à reporter dans l'équation $I_n=I_p$

➤ Résultat : NML = VIL = $1/4 (3V_{cc}/2 + V_T)$

• Rappel: linéaire : $V_{DS} \leq V_{GS} - V_T$ $I_D = K P_n \frac{W}{L} (V_{GS} - V_T) V_{DS} - \frac{V_{DS}^2}{2}$ $K P_n = \mu_n C_{ox} \frac{W}{L_n}$

• Saturation : $V_{DS} \geq V_{GS} - V_T$ $I_D = \frac{K P_n}{2} \frac{W}{L} (V_{GS} - V_T)^2 (1 + \lambda V_{DS})$

Circuits intégrés numériques

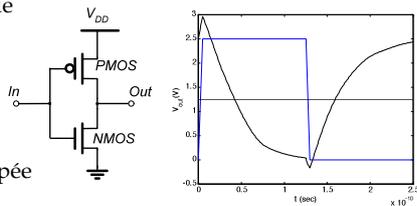
(modèle canal « long »)

Inverseur CMOS : fonctionnement

Analyse statique

Analyse dynamique

Puissance dissipée



Distinguer les paramètres :
- Technologiques (« process »)
- Structurels (W,L)
- Charge CL

Rappel : W alors I et C
Conséquence sur le retard ?

Circuits intégrés numériques

Rappel : A First-Order RC Network

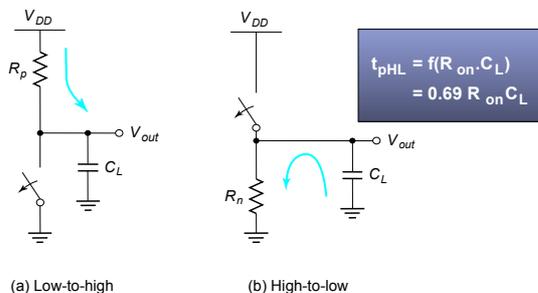
$$v_{out}(t) = (1 - e^{-t/\tau}) V$$

$$t_p = \ln(2) \tau = 0.69 RC$$

Cette approche est très insuffisante pour modéliser le comportement du transistor. R? C?

Circuits intégrés numériques

CMOS Inverter: Transient Response



Circuits intégrés numériques

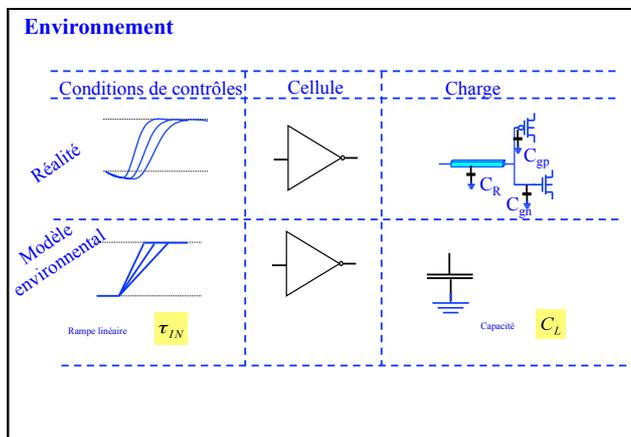
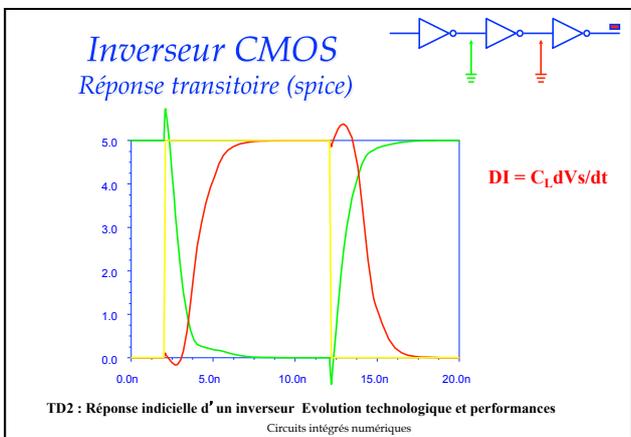
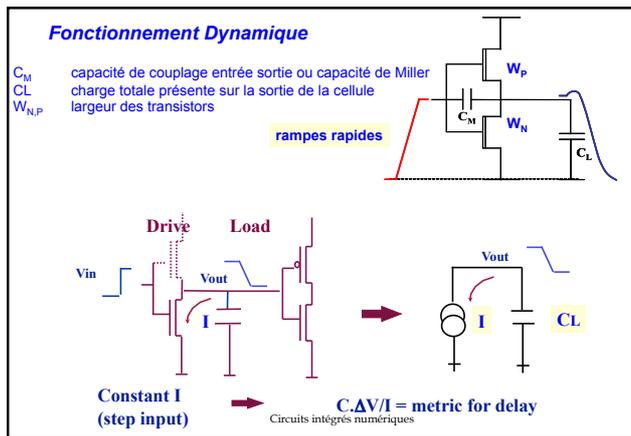
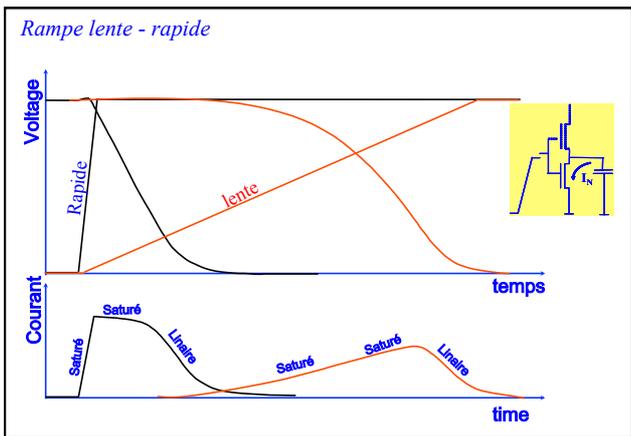
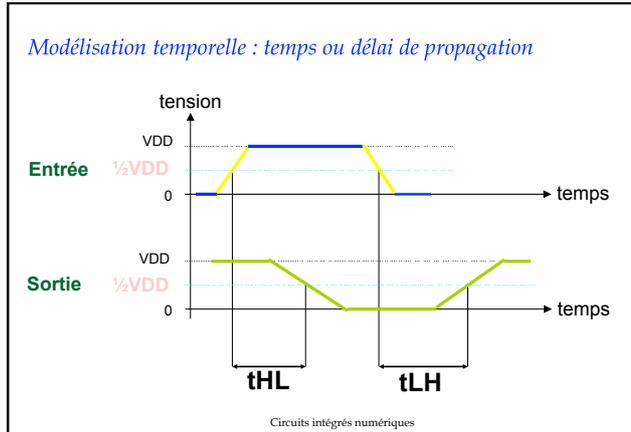
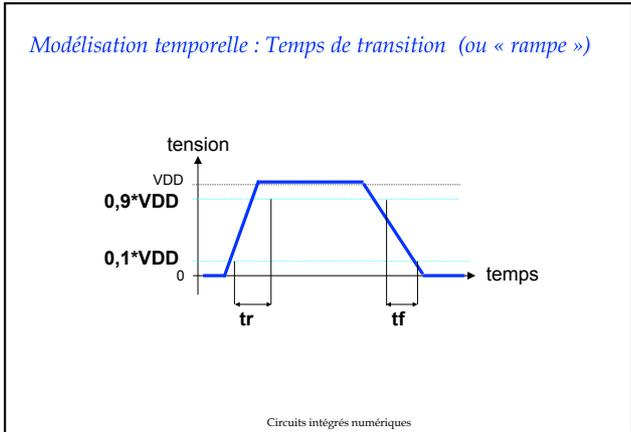
Modélisation temporelle

Faire la distinction entre le **délat de propagation** dans la porte et le **temps de transition** d'un signal en entrée ou en sortie de porte

- Le **temps de transition** correspond au temps que met le signal pour passer d'un état logique à un autre. Il est en général mesuré entre 10 % et 90 % de la tension d'alimentation
- Le **délat de propagation** d'un signal entre une entrée et une sortie, correspond au temps qui va s'écouler entre le moment où le signal en entrée atteint 50 % de la tension d'alimentation, et le moment où le signal en sortie atteint lui aussi 50 % de la tension d'alimentation

(50 % est une valeur couramment utilisée mais on peut en prendre une autre).

Circuits intégrés numériques



MODELISATION TEMPORELLE : Techniques analytiques

- Ce type de modélisation a l'avantage de proposer une formulation ou les différentes dépendances du temps de propagation (capacité chargée, rampes en entrée, température, ...) sont rapidement identifiables et utilisables dans les algorithmes de calcul et d'optimisation.
- Exemples : [MEAD80] [SUTH99] [LIRMM]
- La modélisation repose sur une expression du premier ordre du temps de transition en sortie d'un inverseur CMOS.
- Exemple : modèle linéaire $T = T_0 + DT \cdot C_L$

T_0 = temps intrinsèque de la porte non chargée
 DT = retard en fonction de la charge
 C_L = charge de sortie de la porte

Circuits intégrés numériques

CALCUL DE LA REPONSE A UN ECHELON

- Exercice : calcul de t_{HL} :

➢ Etat INITIAL : $V_e = V_{CC}$ et $V_s = V_{CC}$

➢ Etat FINAL : $V_e = V_{CC}$ et $V_s = V_{CC}/2$

➢ 1) T_1 : $V_{CC} < V_s < V_{CC} - V_t$: TN saturé

• In = $\frac{1}{2} \mu C_{ox}(W/L)(V_{CC} - V_t)^2 = C_L dV_s/dt$

• Soit $t_{HP} = 2VtC_L/b(V_{CC} - V_t)^2$ avec $b = \mu C_{ox}WL$

• Influence de C_L et W/L ?

➢ 2) T_2 : $V_{CC} - V_t < V_s < V_{CC}/2$: TN linéaire

➢ $t_{HL} = T_1 + T_2$

(hypothèse modèle canal « long »)

Circuits intégrés numériques

Modèles analytiques

τ est un délai unitaire caractérisant la technologie. Il est défini comme étant le temps de réponse indicielle sur le front descendant d'un inverseur symétrique de taille minimale et chargé par un inverseur identique.

Hypothèse : domaine des rampes rapides

le signal en entrée de la porte atteint sa valeur maximale avant que le signal en sortie commence à varier : le transistor se comporte comme un générateur de courant constant

$$\tau_{outHL} = \tau \cdot S_{HL} \cdot \frac{C_L}{C_{IN}}$$

$$\tau_{outLH} = \tau \cdot S_{LH} \cdot \frac{C_L}{C_{IN}}$$

possibilité en courant
rapport de configuration
rapport de mobilité

$$S_{LH} = R\mu \frac{(1+k)}{k} \cdot DW_{LH}$$

$$S_{HL} = (1+k) \cdot DW_{HL}$$

Circuits intégrés numériques

Modèles analytiques

First order indicator

$$\frac{CV}{I}$$

Inverter pulse response

$$t_{HLS} = C_L \frac{V_{DD}/2}{K_N W_N (V_{DD} - V_{TN})}$$

$$t_{LHS} = C_L \frac{V_{DD}/2}{K_P W_P (V_{DD} - V_{TP})}$$

Regular ideal inverter loaded by an identical one

$$t_{HLS} = \frac{C_{ox} L_{min} V_{DD}}{K_N (V_{DD} - V_{TN})} = \tau_{ST}$$

délai unitaire caractérisant la technologie : défini comme étant le temps de réponse indicielle sur le front descendant d'un inverseur symétrique de taille minimale et chargé par un inverseur identique.

Distinguer les paramètres :

- Technologiques (process)
- structurels (W,L)
- charge CL

$$t_{HLS} = \tau_{ST} \cdot \frac{C_L}{2C_N}$$

$$t_{LHS} = \tau_{ST} \cdot R_\mu \cdot \frac{C_L}{2C_P}$$

Circuits intégrés numériques

Modèles analytiques

$$\frac{CV}{I}$$

$$\tau_{OUT} = \frac{C_{L-TOT} \cdot V_{DD}}{I_{MAX}}$$

τ_{OUT} = temps nécessaire pour que le signal en sortie commute complètement

C_{L-TOT} = capacité totale connectée en sortie de la porte = somme de la capacité de couplage qui existe entre l'entrée et la sortie de l'inverseur, de la capacité parasite de diffusion des transistors, de la capacité de charge extérieure à la porte.

V_{DD} = variation absolue de tension au niveau de la sortie
 I_{max} = valeur maximale du courant de charge (ou décharge)

Circuits intégrés numériques

Modélisation temporelle : caractérisation

Compromis précision- temps de calcul

- Modèles **électriques** (spice)
- Modèles **analytiques** : conception, optimisation, ...

- Modèles **tabulaires** : standard industriel actuel

Utilisation : outils CAO de simulation logico-temporelle (VHDL), optimisation placement-routage, flots de conception avec cellules standards.



BIBLIOTHEQUES LUT

```

rise_transition("CvT")
{
  index_1 ("0.001 0.005 0.010 0.020 0.050 0.100 0.200 0.500 1.000")
  index_2 ("0.010 0.020 0.050 0.100 0.200 0.500 1.000 2.000 5.000 10.000")
  value ("0.001 0.005 0.010 0.020 0.050 0.100 0.200 0.500 1.000 2.000 5.000 10.000")
}

```

Timing Look up Tables

Circuits intégrés numériques

Représentation des Timings des cellules élémentaires

```
lu_table_template[table_1] {
  variable_1 : input_net_transition ;
  variable_2 : total_output_net_capacitance ;
  index_1 (" 0.0014, 0.0254, 0.0654, 0.1334, 0.2674, 0.375 ");
  index_2 (" 0.004, 0.012, 0.028, 0.08, 0.16 ");
}

cell_rise(table_1) {
  variable_2
  values("0.04001, 0.07377, 0.14112, 0.36025, 0.69168",
         "0.06324, 0.09624, 0.16230, 0.38011, 0.71596",
         "0.09352, 0.13679, 0.20347, 0.41685, 0.74748",
         "0.12854, 0.18584, 0.27222, 0.48715, 0.81833",
         "0.18180, 0.25531, 0.36893, 0.62927, 0.95414",
         "0.21839, 0.30147, 0.42987, 0.72990, 1.06740");
}

rise_transition(table_1) {
  variable_2
  values("0.01469, 0.03034, 0.06175, 0.16303, 0.31696",
         "0.01526, 0.03035, 0.06176, 0.16309, 0.32080",
         "0.02369, 0.03524, 0.06177, 0.16310, 0.32081",
         "0.03294, 0.04903, 0.07190, 0.16311, 0.32143",
         "0.04636, 0.06752, 0.09912, 0.16905, 0.32144",
         "0.05556, 0.07937, 0.11565, 0.19577, 0.32145");
}

P. Maurice
Circuits intégrés numériques
97
```

Exemple : modélisation du temps de transition montant en sortie d'un inverseur dans une technologie 130 nm.

```
lu_table_template("csvt"){
  variable_1 : total_output_net_capacitance;
  variable_2 : input_net_transition;
  index_1 ("0.000,0.001,0.002,0.003,0.004,0.005,0.006");
  index_2 ("0.000,0.001,0.002,0.003,0.004,0.005,0.006");
}

rise_transition("csvt") {
  index_1 ("0.003,0.006,0.010,0.020,0.036,0.069,0.134");
  index_2 ("0.013,0.034,0.055,0.122,0.222,0.431,0.850");
  values("0.018,0.023,0.027,0.037,0.048,0.069,0.105",
         "0.030,0.035,0.039,0.050,0.064,0.088,0.131",
         "0.042,0.047,0.052,0.063,0.078,0.105,0.153",
         "0.081,0.086,0.090,0.103,0.120,0.152,0.211",
         "0.139,0.144,0.148,0.160,0.178,0.214,0.284",
         "0.263,0.264,0.267,0.277,0.294,0.332,0.414",
         "0.511,0.505,0.503,0.505,0.516,0.551,0.642");
}

Pour lire ce tableau, il faut se référer aux index des 2 premières lignes. Le premier index correspond à la valeur de la capacité connectée en sortie de la porte, il s'agit de l'axe des ordonnées dans le tableau. Le second index correspond à la valeur de la transition du signal en entrée de la porte, il s'agit de l'axe des abscisses dans le tableau.
Si on cherche à évaluer le temps de transition en sortie de la porte quand le temps de transition en entrée est égale à 0.055 ns et que la capacité en sortie est égale à 0.036 pF, il suffit d'aller chercher, dans la table, la valeur correspondante : 0.148 ns. Pour les valeurs intermédiaires, on fait des interpolations linéaires en utilisant les 4 valeurs les plus proches.

Circuits intégrés numériques
```

Représentation des Timings des cellules élémentaires

```
timing() {related_pin : "A";
/* A_F_Z_R */
cell_rise(table_1) {
  values("0.04001, 0.07377, 0.14112, 0.36025, 0.69168",
         "0.06324, 0.09624, 0.16230, 0.38011, 0.71596",
         "0.09352, 0.13679, 0.20347, 0.41685, 0.74748",
         "0.12854, 0.18584, 0.27222, 0.48715, 0.81833",
         "0.18180, 0.25531, 0.36893, 0.62927, 0.95414",
         "0.21839, 0.30147, 0.42987, 0.72990, 1.06740");
}

rise_transition(table_1) {
  values("0.01469, 0.03034, 0.06175, 0.16303, 0.31696",
         "0.01526, 0.03035, 0.06176, 0.16309, 0.32080",
         "0.02369, 0.03524, 0.06177, 0.16310, 0.32081",
         "0.03294, 0.04903, 0.07190, 0.16311, 0.32143",
         "0.04636, 0.06752, 0.09912, 0.16905, 0.32144",
         "0.05556, 0.07937, 0.11565, 0.19577, 0.32145");
}

/* A_R_Z_F */
cell_fall(table_1) {
  values("0.02037, 0.05443, 0.10427, 0.26659, 0.51650",
         "0.04052, 0.07165, 0.12159, 0.28319, 0.53097",
         "0.05707, 0.09319, 0.14881, 0.30988, 0.55782",
         "0.08454, 0.11354, 0.16444, 0.35640, 0.60161",
         "0.09470, 0.13134, 0.22827, 0.43992, 0.69653",
         "0.09471, 0.13634, 0.24652, 0.48991, 0.77089");
}

fall_transition(table_1) {
  values("0.00980, 0.01965, 0.04103, 0.11073, 0.21891",
         "0.01053, 0.01968, 0.04113, 0.11074, 0.21892",
         "0.01607, 0.02952, 0.04212, 0.11075, 0.21893",
         "0.02465, 0.03464, 0.05242, 0.11076, 0.21894",
         "0.03860, 0.05151, 0.07139, 0.12943, 0.21895",
         "0.04826, 0.06335, 0.08556, 0.14437, 0.23080");
}

cell(ND2LLP) {
  area : 8.0688 ;
  pin(Z) : output ;
  function : "!(A&B)";
  max_capacitance : 0.32000 ;
}

timing() {related_pin : "A";
/* A_F_Z_R */
cell_rise(table_1) {
  values("0.04001, 0.07377, 0.14112, 0.36025, 0.69168",
         "0.06324, 0.09624, 0.16230, 0.38011, 0.71596",
         "0.09352, 0.13679, 0.20347, 0.41685, 0.74748",
         "0.12854, 0.18584, 0.27222, 0.48715, 0.81833",
         "0.18180, 0.25531, 0.36893, 0.62927, 0.95414",
         "0.21839, 0.30147, 0.42987, 0.72990, 1.06740");
}

rise_transition(table_1) {
  values("0.01469, 0.03034, 0.06175, 0.16303, 0.31696",
         "0.01526, 0.03035, 0.06176, 0.16309, 0.32080",
         "0.02369, 0.03524, 0.06177, 0.16310, 0.32081",
         "0.03294, 0.04903, 0.07190, 0.16311, 0.32143",
         "0.04636, 0.06752, 0.09912, 0.16905, 0.32144",
         "0.05556, 0.07937, 0.11565, 0.19577, 0.32145");
}

/* B_R_Z_F */
cell_fall(table_1) {
  values("0.02730, 0.05235, 0.10237, 0.26461, 0.51419",
         "0.04348, 0.07210, 0.12163, 0.28293, 0.53297",
         "0.05958, 0.09971, 0.16074, 0.31993, 0.56311",
         "0.07020, 0.10416, 0.20224, 0.37974, 0.62687",
         "0.07559, 0.14779, 0.25221, 0.48452, 0.73870",
         "0.07560, 0.15700, 0.27745, 0.54568, 0.83729");
}

fall_transition(table_1) {
  values("0.00984, 0.01963, 0.04120, 0.11100, 0.21862",
         "0.01156, 0.01964, 0.04121, 0.11101, 0.21863",
         "0.01687, 0.02950, 0.04227, 0.11102, 0.21864",
         "0.02843, 0.04051, 0.05847, 0.11103, 0.21865",
         "0.04390, 0.05994, 0.08243, 0.13738, 0.21866",
         "0.05498, 0.07350, 0.10017, 0.18180, 0.23134");
}

Timing Look up Tables
P. Maurice
Circuits intégrés numériques
99
```

Représentation des Timings des cellules élémentaires

Porte	# input pins	# lut Slow Vmin Tmax	# lut Fast Vmax Tmin	# lut for 1 drive	# drive	# lut for all drives
Inv	1	4	4	8	10	80
nd2 / nr2	2	8	8	16	5	80
nd3 / nr3	3	12	12	24	5	120
nd4 / nr4	4	16	16	32	5	160
Total						440

Bibliothèque standard : 500 dessins différents en moyenne 2 entrées } 128000 lut différentes ... 384000 valeurs de timings !!!

40 jours de simulation spice avec 1 station : solution par parallélisme

Utilisation des Luts

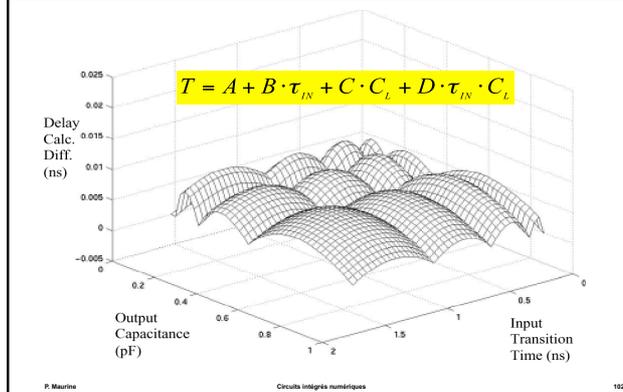
```
/* A_F_Z_R */ cell_rise(table_1) {
  4fF 12fF 23fF 80fF 160fF
  14ps "0.04001, 0.07377, 0.14112, 0.36025, 0.69168",
  25ps "0.06324, 0.09624, 0.16230, 0.38011, 0.71596",
  65ps "0.09352, 0.13679, 0.20347, 0.41685, 0.74748",
  133ps "0.12854, 0.18584, 0.27222, 0.48715, 0.81833",
  267ps "0.18180, 0.25531, 0.36893, 0.62927, 0.95414",
  375ps "0.21839, 0.30147, 0.42987, 0.72990, 1.06740";
}

τA = 30 ps
CL = 20 fF

Interpolation non linéaire selon l'expression
T = A + B · τIN + C · CL + D · τIN · CL
Ne jamais sous estimer le délai !!!

P. Maurice
Circuits intégrés numériques
101
```

Utilisation des Luts



Avantages et inconvénients de la méthode tabulaire

- + Générique à tous les types de logique et de porte ...
- + Calculs simples ...
- + Automatisable ...
- + c' est un standard de l' industrie ...

- Précision des résultats à 10% près ...
- Temps de caractérisation croissant avec la complexité de la bib ...
- Aucune notion physique ...

P. Maurice Circuits intégrés numériques 103

Inverseur CMOS : fonctionnement

- Analyse statique
- Analyse dynamique
- **Puissance dissipée**

Rappel: Energie emmagasinée dans un condensateur : $E=1/2CV^2$
 Pour un cycle : $E=CV^2$
 Puissance = énergie par unité de temps $P=CV^2f$ (f= fréquence)

Circuits intégrés numériques

Dynamic Power Dissipation

Energy/transition = $C_L \cdot V_{dd}^2$
 Power = Energy/transition * $f = C_L \cdot V_{dd}^2 \cdot f$

Réduire : $C_L, V_{dd},$ et f pour diminuer la puissance dissipée

Circuits intégrés numériques

Logique CMOS

Puissance consommée

$$P_{totale} = P_{stat} + P_{cc} + P_{dyn}$$

- **P_{stat}** (« OFF/OFF »)
 - ▶ puissance consommée par une porte CMOS au repos : fuites dans les diodes et les transistors (autonomie des systèmes portables au repos...)
- **P_{cc}** (« ON/ON »)
 - ▶ puissance de court circuit (entre alimentations durant commutation)
- **P dynamique** (« ON/OFF »)
 - ▶ lors de la commutation (charges et décharges de capacités) :

$$P_{dyn} = C \times V_{DD}^2 \times f$$

Circuits intégrés numériques

Power Dissipation

Instantaneous power:
 $p(t) = v(t)i(t) = V_{supply}i(t)$

Peak power:
 $P_{peak} = V_{supply}i_{peak}$

Average power:
 $P_{ave} = \frac{1}{T} \int_t^{t+T} p(t)dt = \frac{V_{supply}}{T} \int_t^{t+T} i_{supply}(t)dt$

Circuits intégrés numériques

Énergie dynamique dissipée

(1) L' alimentation fournit de l' énergie

$$E_{fournie} = \int_0^{t_{out}} V_{DD} \cdot i_{CL}(t) dt = \int_0^{t_{out}} V_{DD} \cdot C_L \cdot \frac{dV_{out}(t)}{dt} dt$$

$$E_{fournie} = \int_0^{t_{out}} V_{DD} \cdot C_L \cdot dV_{out}(t) = \int_0^{V_{DD}} V_{DD} \cdot C_L \cdot dV_{out}(t) = C_L \cdot V_{DD}^2$$

... Une partie est stockée dans C_L

$$E_{stockée} = \int_0^{t_{out}} (V_{DD} - V_{out}(t)) \cdot i_{CL}(t) dt = \int_0^{t_{out}} (V_{DD} - V_{out}(t)) \cdot C_L \cdot \frac{dV_{out}(t)}{dt} dt = \int_0^{V_{DD}} (V_{DD} - V_{out}(t)) \cdot C_L \cdot dV_{out}(t) = \frac{1}{2} C_L \cdot V_{DD}^2$$

... et une partie est dissipée dans le transistor P

$$E_{dissipée} = E_{fournie} - E_{stockée} = \frac{1}{2} C_L \cdot V_{DD}^2$$

(2) La décharge de C_L induit une dissipation d' énergie dans le transistor N de

$$E_{dissipée} = \int_0^{t_{out}} (V_{DD} - V_{out}(t)) \cdot i_{CL}(t) dt = \int_0^{t_{out}} V_{out}(t) \cdot C_L \cdot \frac{dV_{out}(t)}{dt} dt = \int_0^{t_{out}} V_{out}(t) \cdot C_L \cdot dV_{out}(t) = \frac{1}{2} C_L \cdot V_{DD}^2$$

Circuits intégrés numériques

Puissance dynamique

Puissance dynamique moyenne d'un signal non périodique:

$$P_{moy} = \frac{1}{2} \cdot C_L \cdot V_{DD}^2 \cdot \lim_{T \rightarrow \infty} \left\{ \frac{n(T)}{T} \right\}$$

N(T) nombre de transitions se produisant sur la période de temps T

$$P_{moy} = \frac{1}{2} \cdot a \cdot f \cdot C_L \cdot V_{DD}^2$$

a : Taux d'activité du signal sur une période

Puissance dynamique moyenne d'un signal d'horloge:

$$P_{moy} = f \cdot C_L \cdot V_{DD}^2$$

Taux d'activité d'un signal d'horloge : 2

Principles for Power Reduction

● Prime choice: Reduce voltage !

- Recent years have seen an acceleration in supply voltage reduction
- Design at very low voltages still open question (0.6 ... 0.9 V by 2010!)

● Reduce switching activity

● Reduce physical capacitance

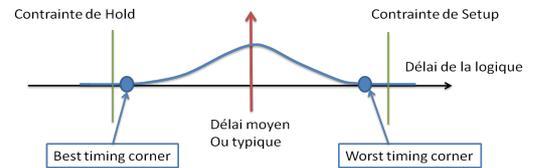
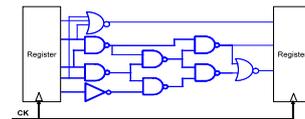
Caractérisation temporelle

Méthode des corners

Identifier le pire et le meilleur cas en termes de délais

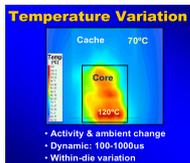
Objectif de l'analyse des timings

Méthode des corners



Variabilité de V,T

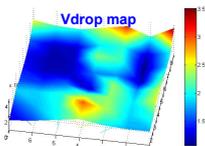
Méthode des corners



Vérification des contraintes temporelles :

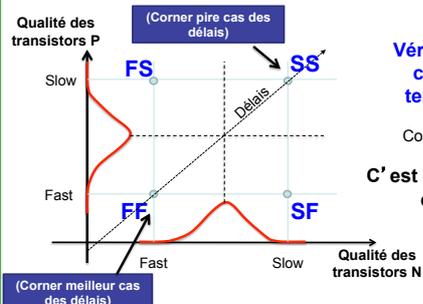
$$T^\circ \in [-40^\circ\text{C}, 125^\circ\text{C}]$$

$$V \in [0.9 V_{dd}, 1.1 V_{dd}]$$



Variabilité des procédés de fab

Méthode des corners



Vérification des contraintes temporelles :

Corners SS et FF

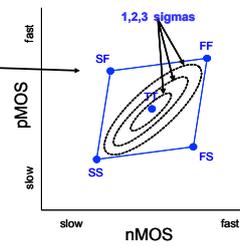
C' est la méthode des corners !!

Corners et cartes modèles

Méthode des corners

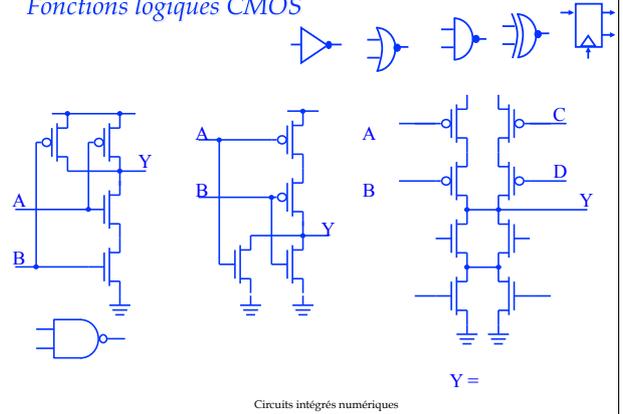
1 carte modèle (Spice) par transistor par corner
1 fichier lib par corner (Synthèse, P&R)

```
lib mos1_SS          nsigma_pmos1_dqcb = 2  
nsigma_nmos1_dcjb = 2  nsigma_pmos1_dcgate = 2  
nsigma_nmos1_dcgate = 2 nsigma_pmos1_dcjsw = 2  
nsigma_nmos1_dcgsw = 2 nsigma_pmos1_djgdr = -2  
nsigma_nmos1_djgdr = -2 nsigma_pmos1_dmu = -2  
nsigma_nmos1_dmu = -2 nsigma_pmos1_drdsw = 2  
nsigma_nmos1_drdsw = 2 nsigma_pmos1_dvermaxu0 = 2  
nsigma_nmos1_dvermaxu0 = 2 nsigma_pmos1_rbdv1 = 2  
nsigma_nmos1_rbdv1 = 2 nsigma_pmos1_rbdv2 = 2  
nsigma_nmos1_rbdv2 = 2 nsigma_pmos1_rbdv3 = 2  
nsigma_nmos1_rbdv3 = 2 nsigma_pmos1_rbv1 = 2  
nsigma_nmos1_rbv1 = 2 nsigma_pmos1_rbv2 = 2  
nsigma_nmos1_rbv2 = 2 nsigma_pmos1_rbv3 = 2  
nsigma_nmos1_rbv3 = 2 nsigma_pmos1_vth0 = -2  
nsigma_nmos1_vth0 = -2 .end mos1_SS
```

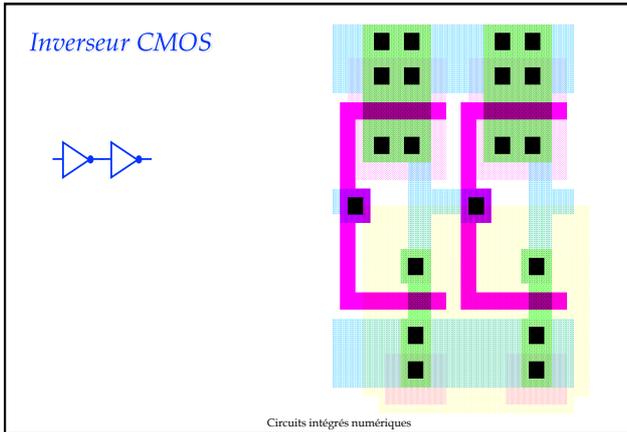


- Introduction (objectifs, état de l'art, contexte TIC, Micro-nanoélectronique)
- 1- **Caractéristiques générales des circuits logiques**
- 2- Logiques à transistors bipolaires
- 3- **Logiques à transistors MOS. Logique CMOS**
 - Principes physiques et technologiques
 - Inverseur, *circuits élémentaires combinatoires*
 - Caractérisation électrique de l'inverseur, optimisation électrique
 - Introduction aux circuits dynamiques et séquentiels
- 4- Autres technologies
- 5- Comparaison des performances
- 6- **Introduction aux Circuits intégrés programmables (PLD, FPGA)**
 - Principes et classification
 - Technologies de programmation
 - Architectures et circuits
- 7- Du composant discret au circuit spécifique (ASIC) : principes, conception
- Conclusion

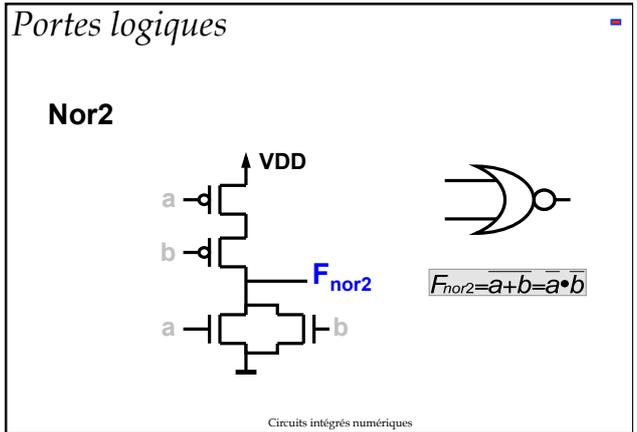
Fonctions logiques CMOS



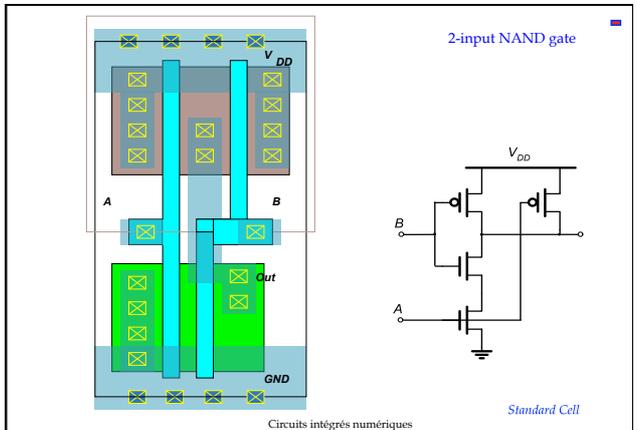
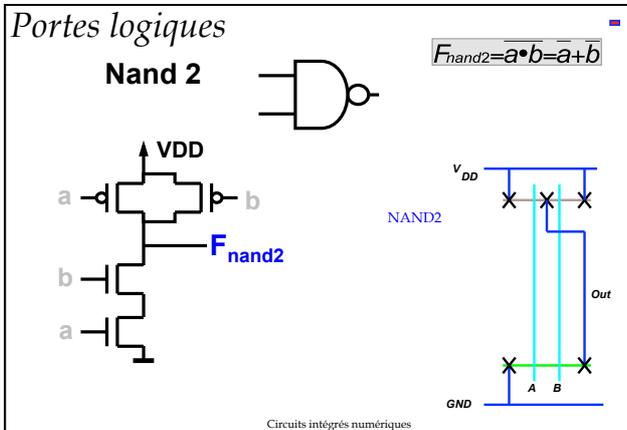
Inverseur CMOS



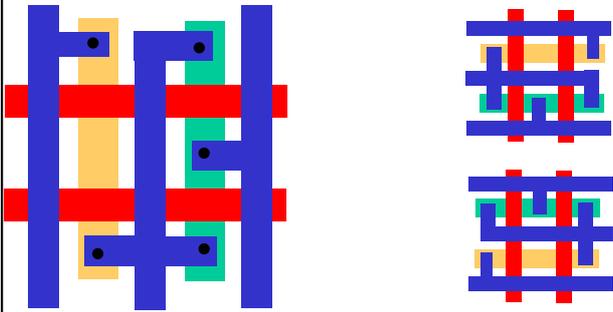
Portes logiques



Portes logiques



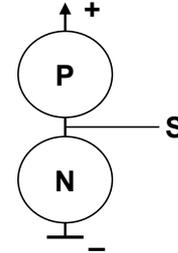
Topologies de chaînes de transistors série et parallèle



Circuit Logique Complémentaire

Deux réseaux duaux :

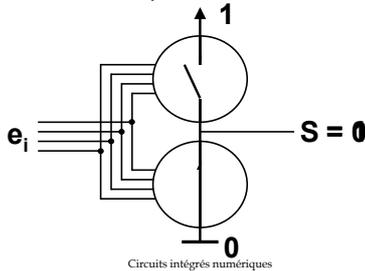
- un réseau N, entre la sortie et le "moins de l'alimentation"
- un réseau P, entre la sortie et le "plus de l'alimentation"



Circuit Logique Complémentaire

Ces deux réseaux doivent :

- être commandés par les mêmes entrées e_i
- un seul réseau doit être passant

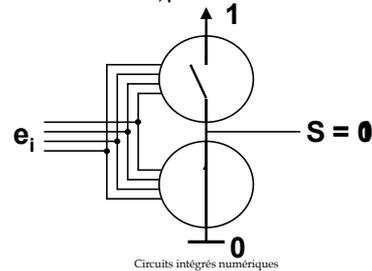


Circuits intégrés numériques

Circuit Logique Complémentaire

La sortie S est générée par :

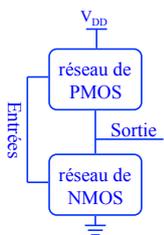
- la fermeture du réseau N, pour obtenir $S = "0"$
- la fermeture du réseau P, pour obtenir $S = "1"$.



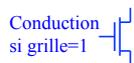
Circuits intégrés numériques

Portes logiques

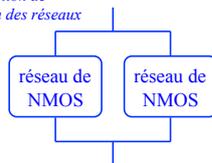
Règles de construction (1)



ET logique
Conduction si conduction de chacun des réseaux



Conduction si grille=1



OU logique
Conduction si conduction de l'un au moins des réseaux

Circuits intégrés numériques

Portes logiques

Règles de construction (2)



- Le transistor P « fournit » un niveau 1
- Le transistor N « fournit » un niveau 0
- Seules des fonctions «inverseuses» sont réalisables

Circuits intégrés numériques

Portes logiques Règles de construction (3)

- Un et un seul réseau (N ou P) conduit à un moment donné. Les deux réseaux sont duaux.
 - Ils doivent partager les mêmes entrées et posséder le même nombre de transistors
- Construire le plan N à partir de la fonction logique
 - ET = transistors en série
 - OU = transistors en parallèle
- Construire le plan P : trois possibilités
 - croiser les règles précédentes
 - complémenter la fonction, puis faire comme pour le plan N
 - construire un graphe dual de celui du plan N
 - chaque cycle d'un graphe correspond à un sommet dans son dual

Circuits intégrés numériques

Complex CMOS Gate

Circuits intégrés numériques

Portes complexes : exercice

- Soit $F = \overline{A \cdot B + C \cdot D}$
 - Schéma "porte logique" ? Evaluer le nombre de transistors.
 - Schéma "porte complexe" ? Evaluer le nombre de transistors.

Circuits intégrés numériques

Logique à portes de transmission

"switch"

Dynamic (charge-based)

- Dégradation de niveau (X)
- Regénération avec l'inverseur (Out)

Circuits intégrés numériques

Logique à portes de transmission

IN OUT

Etat initial : $V_c=0$ $V_e=V_{cc}$ $V_s=0$ Tn Bloqué
 Evénement : $V_c = V_{cc}$
 Etat final : $V_c=V_{cc}$ $V_e=V_{cc}$ $V_s=V_{cc}-V_t$

Dégradation de V_t , au niveau haut
 $V_{GS} = V_{cc} - V_s = V_{cc} - (V_{cc} - V_t) = V_t$

Etat initial : $V_c=0$ $V_e=0$ $V_s=V_{cc}$ Tn Bloqué
 Evénement : $V_c = V_{cc}$
 Etat final : $V_c=V_{cc}$ $V_e=0$ $V_s=0$

Pas de Dégradation au niveau bas

Circuits intégrés numériques

Threshold Drops

0 \rightarrow V_{DD}

0 \rightarrow $V_{DD} - V_{Tn}$

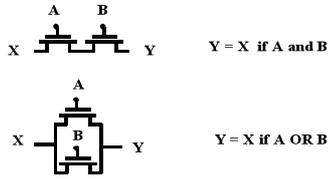
$V_{DD} \rightarrow 0$

$V_{DD} \rightarrow |V_{Tp}|$

Circuits intégrés numériques

NMOS Transistors in Series/Parallel Connection

Transistors can be thought as a switch controlled by its gate signal
 NMOS switch closes when switch control input is high

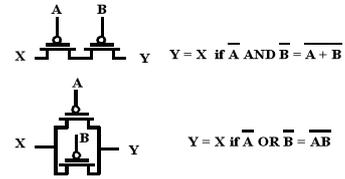


NMOS Transistors pass a "strong" 0 but a "weak" 1

Circuits intégrés numériques

PMOS Transistors in Series/Parallel Connection

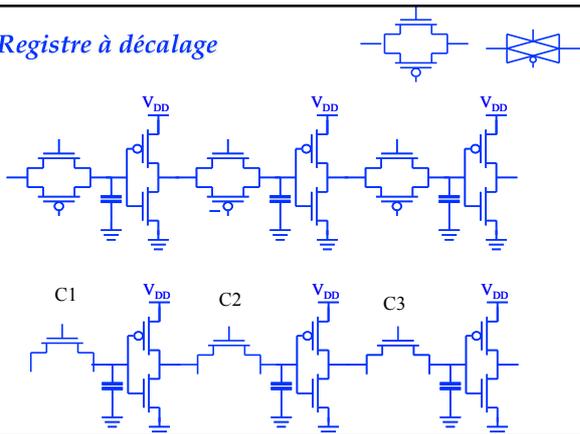
PMOS switch closes when switch control input is low



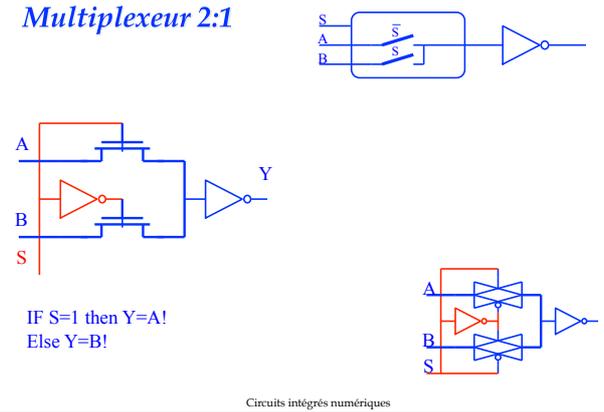
PMOS Transistors pass a "strong" 1 but a "weak" 0

Circuits intégrés numériques

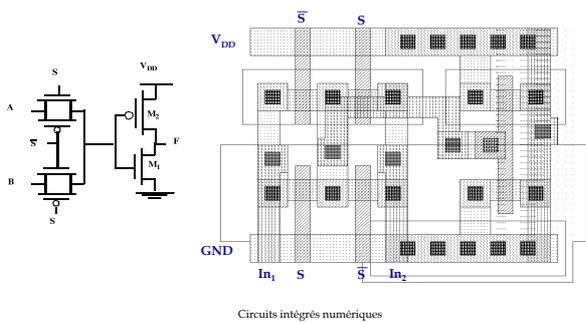
Registre à décalage



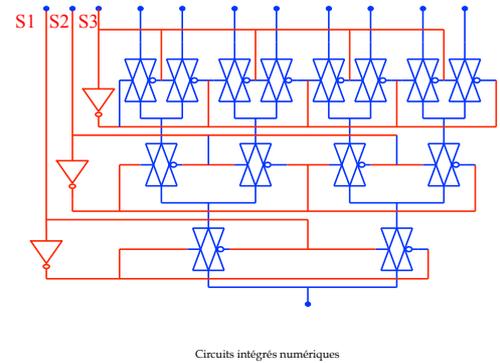
Multiplexeur 2:1



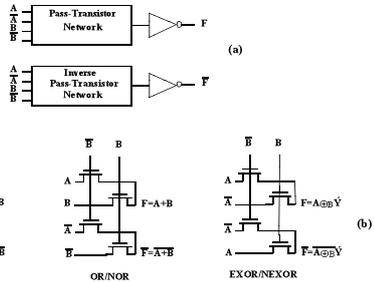
Pass-Transistor Based Multiplexer



Multiplexeur/Démultiplexeur 8 vers 1

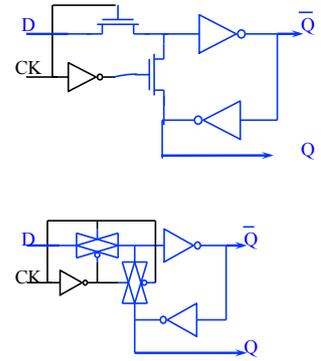
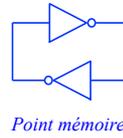


Complementary Pass Transistor Logic



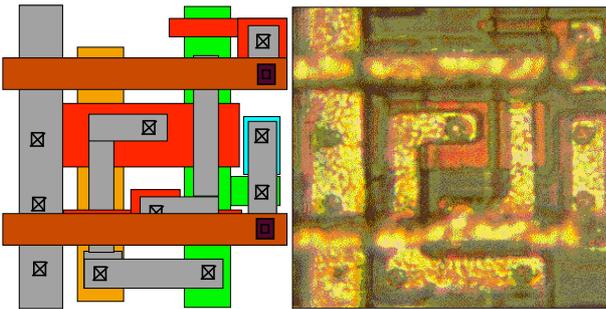
Circuits intégrés numériques

Bascule D D-Latch S-RAM



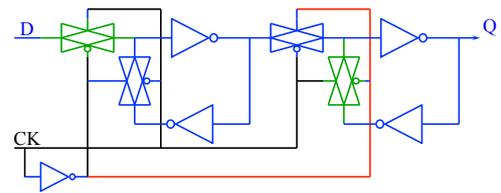
Circuits intégrés numériques

POINT MEMOIRE



Circuits intégrés numériques

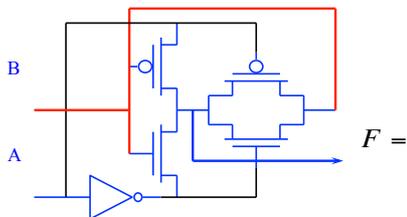
Bascule D-flip-flop



Exercice : comment réaliser les fonctions "set" et "reset" ?

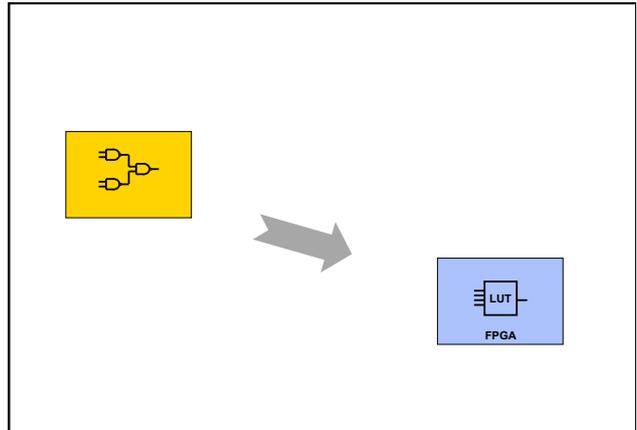
Circuits intégrés numériques

Exercice



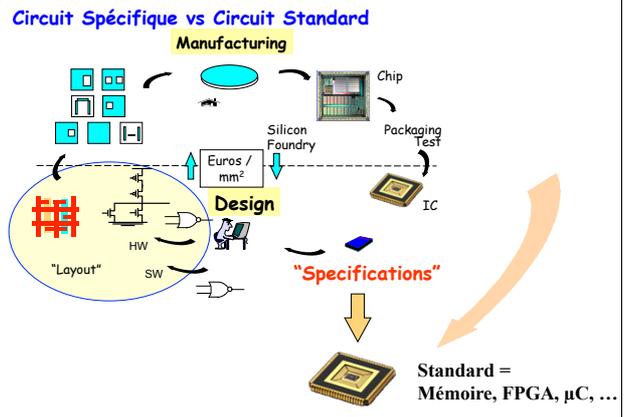
Circuits intégrés numériques

- Introduction (objectifs, état de l'art, contexte TIC, Micro-nanoélectronique)
- 1- **Caractéristiques générales des circuits logiques**
- 2- Logiques à transistors bipolaires
- 3- **Logiques à transistors MOS. Logique CMOS**
Principes physiques et technologiques
Inverseur, circuits élémentaires combinatoires
Caractérisation électrique de l'inverseur, optimisation électrique
Introduction aux circuits dynamiques et séquentiels
- 4- Autres technologies
- 5- Comparaison des performances
- 6- **Introduction aux Circuits intégrés programmables (PLD, FPGA)**
Principes et classification
Technologies de programmation
Architectures et circuits
- 7- Du composant discret au circuit spécifique (ASIC) : principes, conception
- Conclusion



CIRCUITS LOGIQUES PROGRAMMABLES : PRINCIPES

- COMPOSANTS STANDARDS PROGRAMMABLES ELECTRIQUEMENT UNE SEULE FOIS (FUSIBLES) OU RE-PROGRAMMABLES (RECONFIGURATION)
- **PRINCIPES DES ARCHITECTURES:** Ensemble de ressources logiques (portes, bascules, ...etc) qui peuvent être interconnectées de différentes façons. REALISATION DE FONCTIONS BOOLEENNES SOUS FORME D' UNE SOMME LIMITEE DE MONOMES (PAL, PLD, EPLD,...) OU D' UN RESEAU DE CELLULES (FPGA)
- **TECHNOLOGIES DE PROGRAMMATION :** FUSIBLES (METAL), ANTIFUSIBLES (CAPACITE MOS), TRANSISTOR MOS A GRILLE FLOTANTE (EPLD), RAM STATIQUE (FPGA-SRAM),...
- OUTILS DE CAO SPECIFIQUES

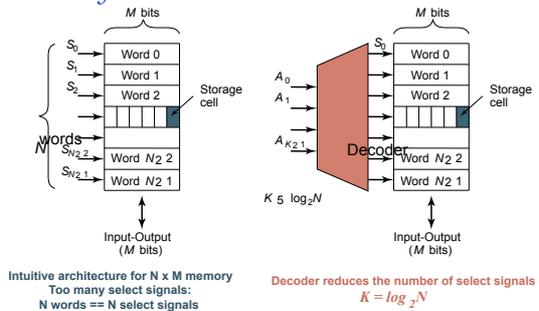


CICUITS STANDARDS OU SPECIFIQUES ?

- **STANDARD**
 - mémoires
 - CI programmables par logiciel (µC, DSP, ...)
 - CI programmables par matériel (FPGA),
 - ...
 - SoC programmables (= panachage mémoire + µC + FPGA + IP + ...)
- **SPECIFIQUE**
 - ASIC (HW) = « Application Specific Integrated Circuit »
 - SoC (HW + SW) = « System On a Chip » = Système monopuce
 - Hybride (microsystèmes, MCM, ...):
 - SIP = System in Package

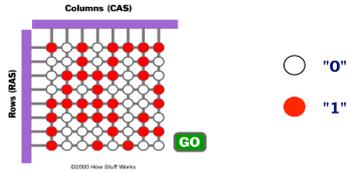
PRINCIPES : rappels sur les mémoires ROM - RAM

Memory Architecture: Decoders



Mémoire : principe

- Bi-dimensional array of lines (Word Line) and columns (Bit Line)
- One memory cell at each intersection (1 bit)
- Selection of a line and a column for writing data



*Non volatility
Data is stored even if voltage is switched off*

Introduction aux Circuits Logiques programmables : FPGA

FPGA = Field programmable Gate Array

- MEMOIRES

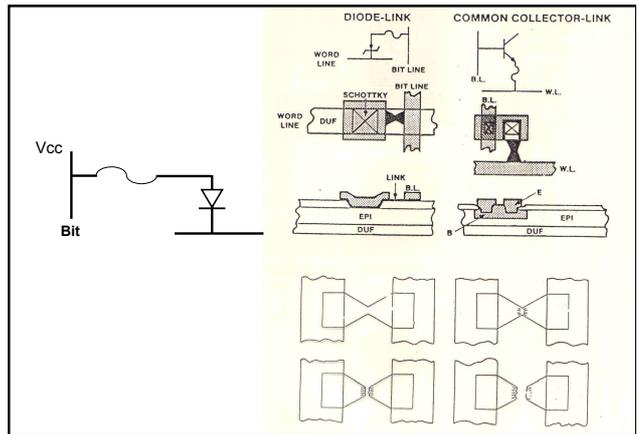
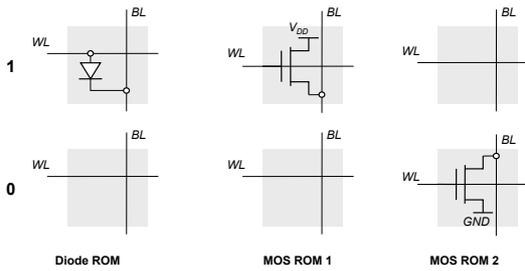
- FPGA

- 1- PRINCIPES et CLASSIFICATION
- 2- TECHNOLOGIES
- 3- ARCHITECTURES ET CIRCUITS

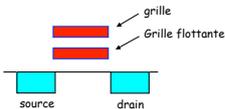


logique programmable

Read-Only Memory Cells



Technologies : EPLD



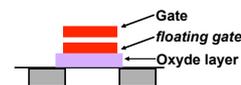
transistor à grille flottante

L'application d'un potentiel sur la grille supérieure provoque le passage d'une partie des électrons du canal à travers la mince couche d'oxyde, ce qui charge la grille flottante. Lors de la lecture, une tension appliquée sur la grille supérieure est complètement masquée par la charge négative emmagasinée sur la grille flottante. Cela équivaut à un transistor toujours bloqué.

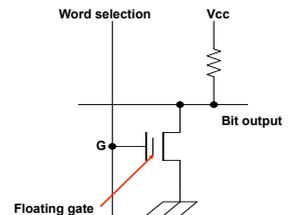
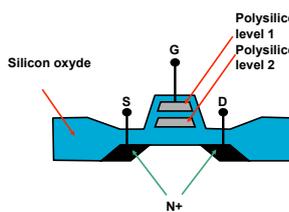


- même technologie que celle des mémoires EPROM
- transistor à double grille
- reprogrammable (effacement par UV ou électriquement)

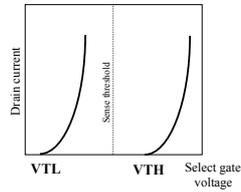
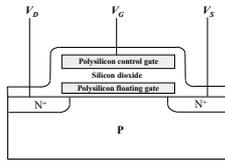
Electrically Erasable Programmable Read-Only Memory



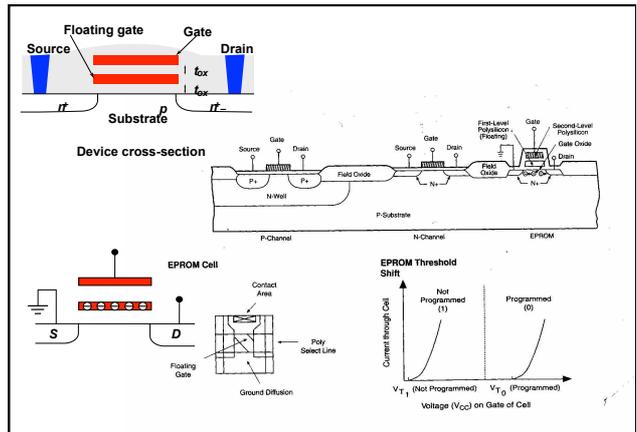
The application of a potential on the upper gate causes the transfer of charges from the channel through the thin oxide layer, which charges the floating gate.



Floating gate technology



V_T adjusted by the amount of charge in the floating gate
Can be programmed in an analog way



Introduction aux Circuits Logiques programmables : FPGA

FPGA = Field programmable Gate Array

- MEMOIRES

- FPGA

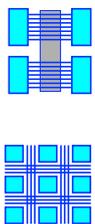
- 1- PRINCIPES et CLASSIFICATION
- 2- TECHNOLOGIES
- 3- ARCHITECTURES ET CIRCUITS



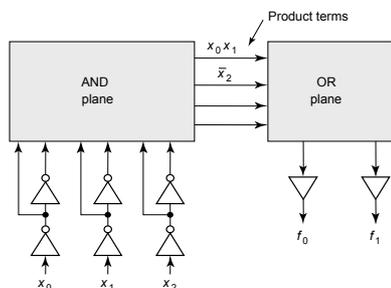
logique programmable

1- CIRCUITS PROGRAMMABLES : classification

- Circuits élémentaires PLD, PAL, ...
Analogie avec les mémoires PROM, non reprogrammables (fusibles)
Premiers circuits programmables réalisés en technologie bipolaire
- CPLD "Complex Programmable Logic Device": EPLD, EEPLD
Analogie avec les mémoires EPROM, EEPROM, FLASH reprogrammables
Structures régulières réalisées en technologie MOS
Performances prédictibles (retards)
- FPGA "Field programmable Gate Array":
matrice de blocs logiques et réseau d'interconnexion
- FPGA-SRAM (Analogie avec les mémoires RAM) reprogrammables
- FPGA non reprogrammables (anti-fusibles)
- Performances dépendantes de l'application



PLA : principe



Two-Level Logic

Every logic function can be expressed in sum-of-products format (AND-OR)

$$f_0 = x_0x_1 + \bar{x}_2$$

$$f_1 = x_0x_1x_2 + \bar{x}_2 + \bar{x}_0x_1$$

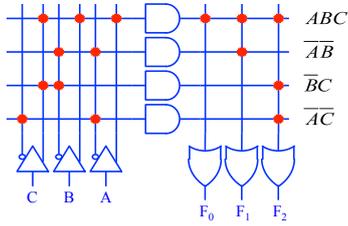
minterm

Inverting format (NOR-NOR) more effective

$$\bar{f}_0 = \overline{(x_0 + x_1) + x_2}$$

$$\bar{f}_1 = \overline{(x_0 + x_1 + x_2) + x_2 + (x_0 + x_1)}$$

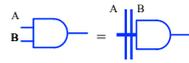
Architecture d'un PLD ou PLA : principes



$$F_0 = ABC$$

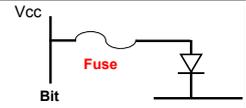
$$F_1 = ABC + \overline{AB}$$

$$F_2 = ABC + \overline{BC} + \overline{AC}$$



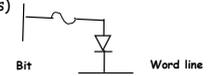
Technologies de programmation

Historique : PLD Bipolaires, puis MOS



PLD (Programmable Logic Devices)

- » Technologie comparable à celle des PROMs
- » réseaux de portes avec connexions programmables
- » programmation par fusibles (comme les PROMs)

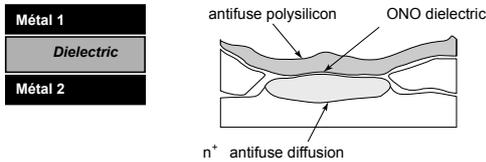


- » non reprogrammables
- » fonctions logiques simples (structures de type Sum-of-Products)
- » coût unitaire élevé (faibles séries, prototypes, ...)

Technologie « Anti-fusible » : condensateur

Actel

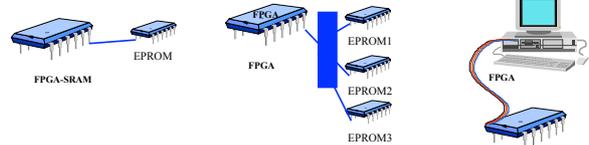
Création d'un court circuit entre deux lignes de métal: claquage
 Programmation définitive
 Très peu de place occupée sur le circuit, mais étapes de fabrication supplémentaires
 performances électriques supérieures à la technologie « SRAM » (minimisation de la surface et des effets RC)



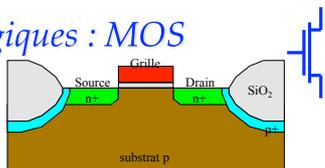
Fuse-based FPGA : Open by default, closed by applying current pulse

Technologie «FPGA-SRAM»

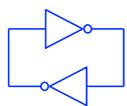
- Technologie CMOS standard
- Portes de transmission ou multiplexeurs commandés par des cellules SRAM
- Les mémoires SRAM permettent de configurer les interconnexions et de programmer les cellules
- le FPGA doit être configuré à chaque mise sous tension à partir d'une mémoire externe (EPROM)



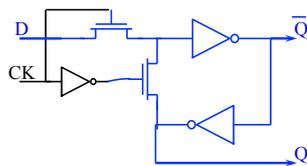
Rappels technologiques : MOS



SRAM

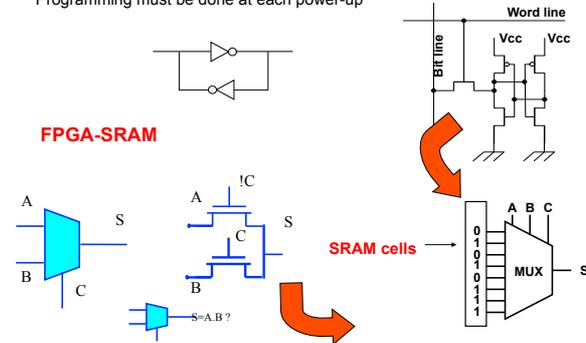


Point mémoire

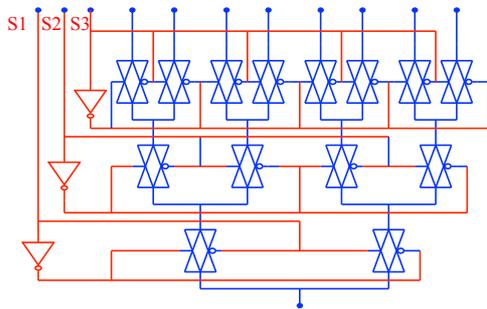


Programming technologies : SRAM (FPGAs)

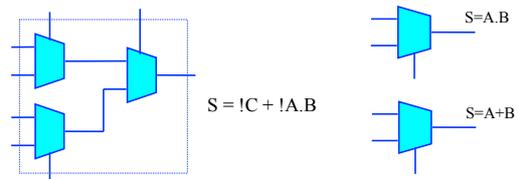
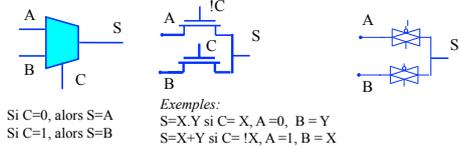
Programming must be done at each power-up



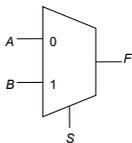
Multiplexeur/Démultiplexeur 8 vers 1



Réalisation de fonctions logiques avec des multiplexeurs MOS

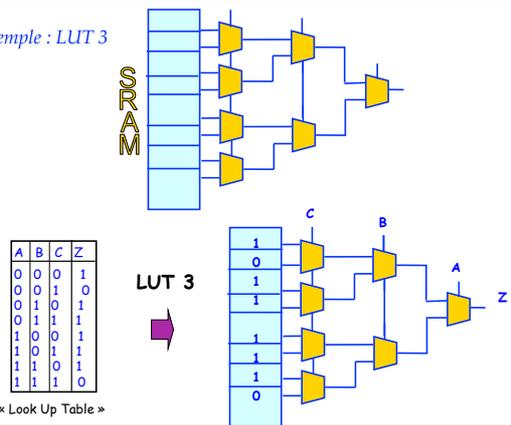


2-input Mux as Programmable logic block



Configuration			F=
A	B	S	
0	0	0	0
0	X	1	X
0	Y	1	Y
0	Y	X	XY
X	0	Y	X \bar{Y}
Y	0	X	$\bar{X}Y$
Y	1	X	X + Y
1	0	X	\bar{X}
1	0	Y	\bar{Y}
1	1	1	1

Exemple : LUT 3



Circuits Logiques programmables : FPGA

FPGA = Field programmable Gate Array

- MEMOIRES

- FPGA

- 1- PRINCIPES et CLASSIFICATION
- 2- TECHNOLOGIES
- 3- ARCHITECTURES ET CIRCUITS industriels
- 4- CONCEPTION
- 5- SYNTHÈSE
- 6- FPGA-SRAM : APPLICATIONS et COMPLEMENTS




 Laboratoire
d'Informatique
de Robotique
et de Microélectronique
de Montpellier

 UNIVERSITÉ MONTPELLIER 2
SCIENCES ET TECHNOLOGIES

Circuits Intégrés Numériques

Introduction à la SIMULATION ELECTRIQUE et à la MODELISATION DES CIRCUITS INTEGRES CMOS

SPICE

Source : Pr. Gaston CAMBON

1

INTRODUCTION: OUTILS de CAO
Conception Assistée par Ordinateur

SCHEMATIQUE
SPECIFICATION (VHDL...C...C++)

SIMULATEURS (logiques, analogiques...)

SYNTHESE AUTOMATIQUE
DESSIN (cartes, circuits intégrés...)
VERIFICATEURS DE REGLES
TEST – TESTABILITE
PREPARATION DE LA FABRICATION (« back-end »)

2

LES DIFFERENTS TYPES DE **SIMULATEURS** **MODELES** DE SIMULATION

- **COMPORTEMENTAL**: niveau système
 - VHDL (logique)
 - VHDL_AMS (logique/analogique)
- **LOGIQUE**: circuits logiques
 - modèles structurels (VHDL)
 - niveaux: 0 1 X Z
- **ELECTRIQUE**: circuits analogiques
 - modèles structurels
 - niveaux: continuum de V et I

3

SIMULATION ELECTRIQUE SIMULATEUR **SPICE** (pSpice, hSpice..Eldo, Spectre...)

MODES DE SIMULATION

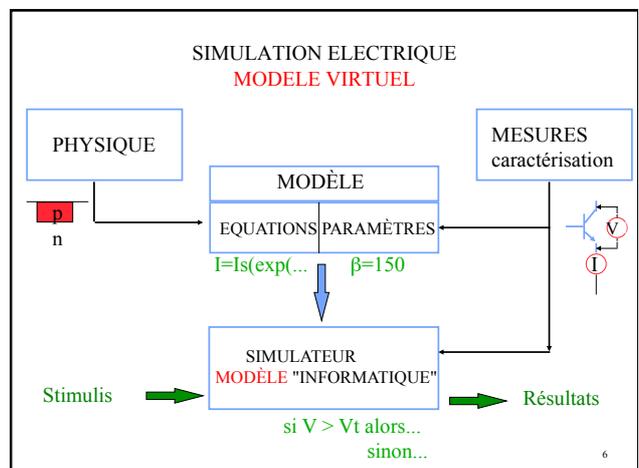
- REGIME **CONTINU**: circuits linéaires et non linéaires
 - point de polarisation
 - courbe de transfert
- DOMAINE **FREQUENTIEL**: circuits linéaires
 - diagramme de BODE
 - bruit
- DOMAINE **TEMPOREL**: circuits linéaires et non linéaires
 - retards
 - distorsion – analyse de FOURIER
- MONTE CARLO: analyses statistiques

4

SIMULATION ELECTRIQUE **MODELES** STRUCTURELS: **PRIMITIVES**

- R, L, C,transformateurs
- Sources indépendantes: V, I
 - continues
 - fréquentielles (amplitude, phase)
 - temporelles (impulsions, sinusoïdes,..)
- Sources dépendantes: V, I
 - gain, transconductance....
- lignes de transmission : avec ou sans pertes
- Diodes, Transistors bipolaires, MOS, FET
- Amplificateurs Opérationnels
-
-en fonction de la TEMPERATURE

5



SIMULATEUR ELECTRIQUE

Eléments du langage de description

Description qualitative des algorithmes de simulation

Simulateurs "de type" **SPICE**

7

SIMULATEUR **HSPICE**

Fichier de simulation: xxxx.sp

```

Titre
*commentaire
.model..... ) paramètres
+suite instruction )
.model..... ) des modèles
.....
Rxx ..... ) description
Vxx ..... ) du circuit
Qxx ..... )
.....
.DC ..... ) commandes
.AC ..... ) de simulation
.TR ..... )
.....
.PROBE ..... ) stockage des
résultats
.END ..... ) fin
    
```

8

SIMULATEUR **HSPICE** Eléments du langage

Multiplicateurs d'unités

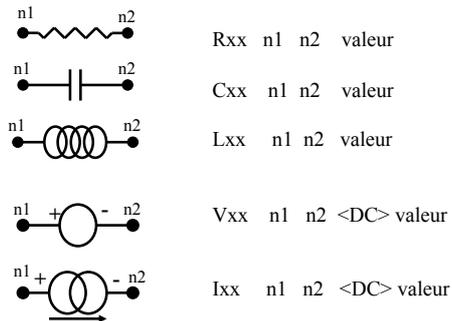
F	femto
P	pico
N	nano
U	micro
M	milli
K	kilo
MEG	méga
G	giga
T	téra

Exemples:

10kohms = 10k = 10 000
10mvolts = 10m = 0,001

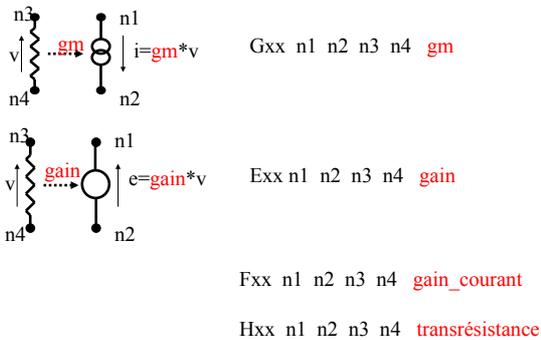
9

SIMULATEUR **HSPICE** Description des composants passifs



10

SIMULATEUR **HSPICE** modélisation d'éléments actifs



11

SIMULATEUR **HSPICE** sources sinusoïdales linéaires

$V_{xx} \ n1 \ n2 \ \langle DC \ \text{valeur} \rangle \ AC \ \text{amplitude} \ \text{phase}$

$I_{xx} \ n1 \ n2 \ \langle DC \ \text{valeur} \rangle \ AC \ \text{amplitude} \ \text{phase}$

variation

12

SIMULATEUR **HSPICE** sources dépendant du temps

Pulse: `Vxxx n1 n2 <DC val> PULSE (v1 v2 ti tm td tp <T>)`

Sine: `Vxxx n1 n2 SIN(v0 v1 fréq <ti> <a> <phase>)`

13

SIMULATEUR **HSPICE** Commandes de simulation

- .OP** (point de polarisation)
- .DC** Vxxx Vmin Vmax ΔV (courbe de transfert)
source
variable
- .TF** V(n1,n2) Vxx (gain en tension)
sortie entrée r entrée
r sortie
- .TRAN** dt tstop (analyse temporelle)
- .AC DEC** nb_pts/dec fmin fmax (analyse fréquentielle)
- .AC LIN** nb_pts fmin fmax
- .TEMP** T1 T2 T3 (analyses a différentes températures)

14

SIMULATEUR **SPICE** Modèle de la **Diode pn**: quelques paramètres

`Dxxx n+ n- nom_modèle <aire>`

`.model nom_modèle D <paramètre=valeur >`

paramètre	valeur défaut	ex
Is	courant de saturation	1e-14 1e-15
N	coefficient émission	1 1.5
Ikf	fort courant	infini 100mA
Bv	tension claquage	infini 50V
Rs	résistance parasite	0 100ohms
TT	temps de transit	0 100pS
Cjo	capa jonction 0V	0 1pF
Vj	potentiel jonction	1 0.7V

15

SIMULATEUR **SPICE** Modèle du **transistor bipolaire**: quelques paramètres

`Qxxx nc nb ne nom_modèle`

`.model nom_modèle [NPN/PNP] <param=valeur>`

Param	default	ex.
Is	courant de saturation	1e-16 1e-16
Bf	gain en courant	100 100
Vaf	tension d' Early	infini 100V
Ikf	fort courant	infini 10mA
Rb	résistance base	0 200
Cje	capa E-B	0 1pF
Cjc	capa B-C	0 2pF
Tf	temps de transit	0 20pS

16

SIMULATEUR **SPICE** Modèle du **transistor MOS**: quelques paramètres

`Mxxx nd ng ns nb nom_modèle W=... L=...`

`.model nom_modèle [NMOS / PMOS] Level=1 <param=...>`

param.	Défaut	ex
Vto	tension de seuil	0 0.5 (+-)
Kp	param. Transconductance	2e-5 2e-5
Lambda	modulation L	0 0.02
Gamma	effet substrat	0.5
Tox	épaisseur oxyde grille	10nm
Nsub	dopage substrat	30e15/cm ³

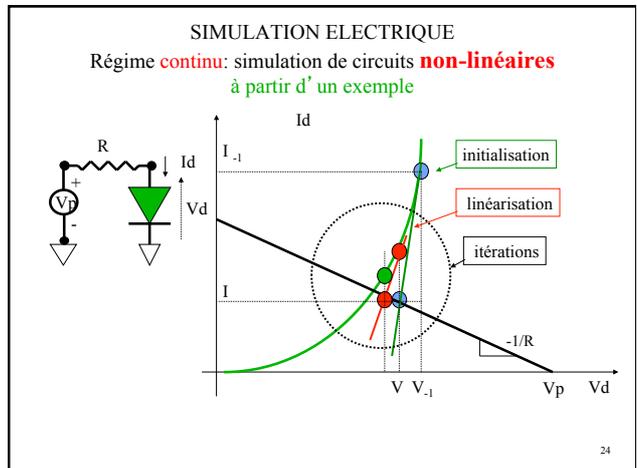
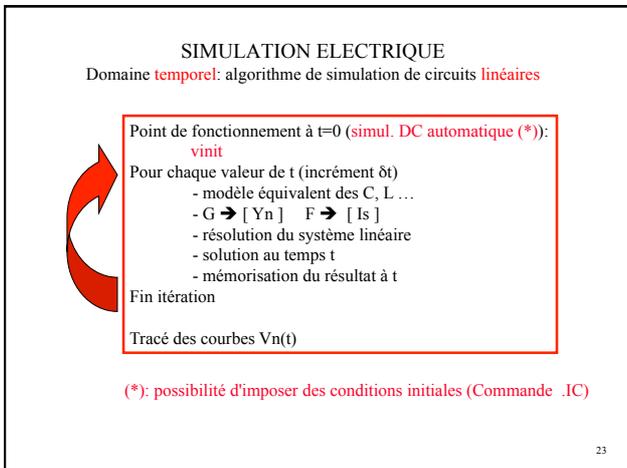
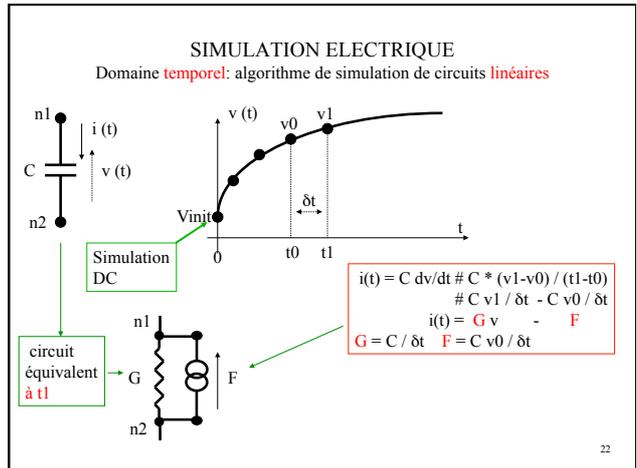
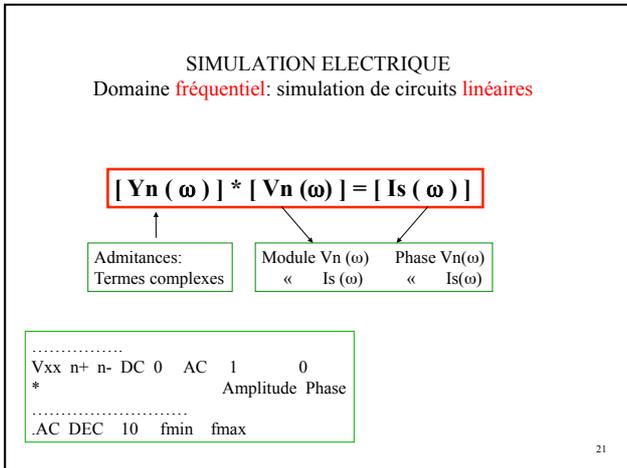
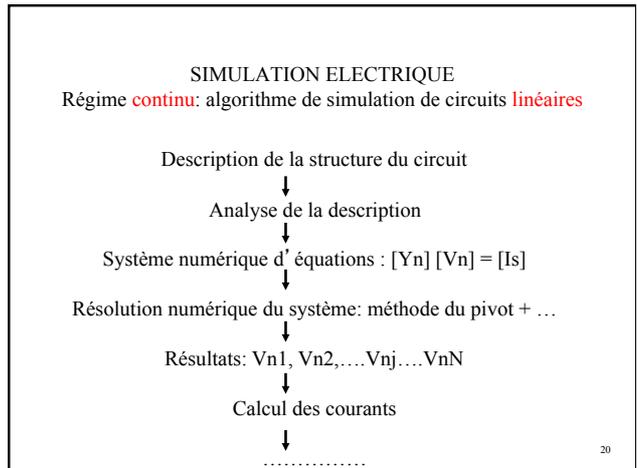
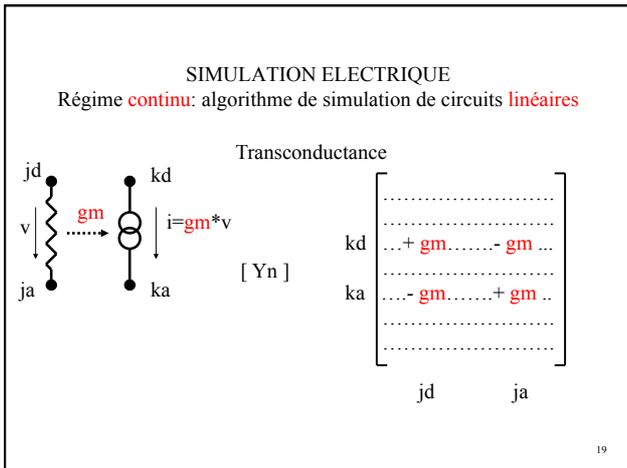
17

SIMULATION ELECTRIQUE Régime **continu**: algorithme de simulation de circuits **linéaires**

Méthode Nodale
[Yn] [Vn] = [Is]

j	+1/Ri	-1/Ri	Vnj	=	-Igi
k	-1/Ri	+1/Ri	Vnk	=	+Igi

18



SIMULATION ELECTRIQUE
Régime **continu**: simulation de circuits **non-linéaires**
à partir d' un exemple

Modèle de la diode à jonction pn

$$I = I_s * \exp (q V_d / nkT)$$

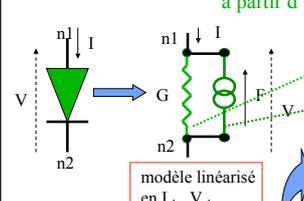
Dérivée
 $d I / d V_d = I_s * q / (nkT) * \exp (q V_d / nkT) \# (I - I_s) * q / (nkT)$

Linéarisation
 $I \# I_1 + (d I / d V_d) * (V - V_{-1})$ (développement de Taylor ordre 1)
 $I \# q / (nkT) * (I_1 + I_s) * V - \{ q / (nkT) * (I_1 + I_s) * V_{-1} - I_1 \}$

I #	G	*	V	-	F
-----	---	---	---	---	---

25

SIMULATION ELECTRIQUE
Régime **continu**: simulation de circuits **non-linéaires**
à partir d' un exemple



$$[Y_n] [V_n] = [I_s]$$

Algorithme

- Itération jusqu' à convergence (*)
- recalcule G et F
- résoud le système linéaire
- solution intermédiaire
- compare au modèle réel

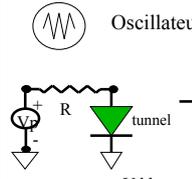
Fin itération
solution (ou non convergence)

(*) Convergence= les valeurs (I,V) trouvées lors de l' itération vérifient à un **epsilon** près les équations du modèle réel (**non-linéaire**)

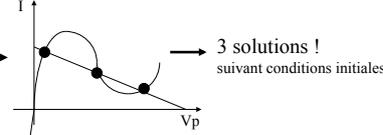
26

SIMULATION ELECTRIQUE
Régime **continu**: simulation de circuits **non-linéaires**
Cas de non-convergence – Plusieurs points stables

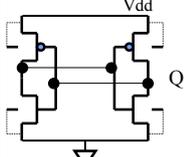
Oscillateur: pas de point stable



3 solutions !
suivant conditions initiales

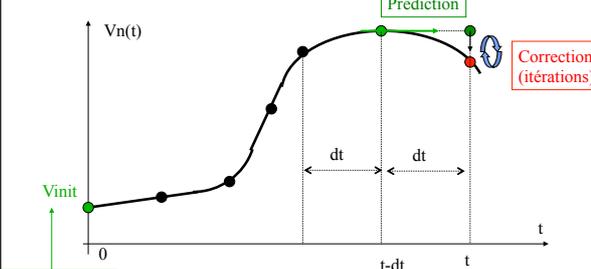


Bistable → Q=Vdd ou Q=0
suivant conditions initiales



27

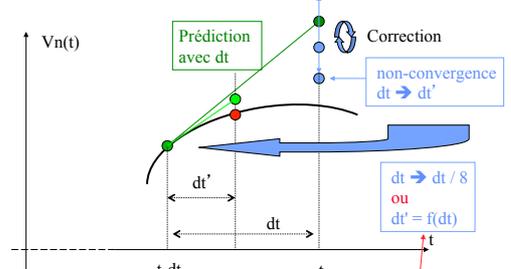
SIMULATION ELECTRIQUE
Domaine **temporel**: simulation de circuits **non-linéaires**



Simulation DC
Automatique
ou choisie:
.IC

28

SIMULATION ELECTRIQUE
Domaine **temporel**: simulation de circuits **non-linéaires**



"changement de vitesse"
(Gear)

29

SIMULATION ELECTRIQUE
Domaine **temporel**: simulation de circuits **non-linéaires**

Algorithme de simulation

Point de polarisation (simul. DC)
Pour chaque t

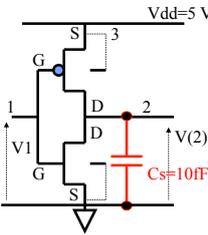
- tant que non-convergence et limite non atteinte
- modèles temporels pour C, L, ...
- tant que non-convergence
- modèles linéarisés
- résolution système $[Y_n] [V_n] = [I_s]$
- convergence?
- solution valide? → nouveau dt

solution au temps t

-t + dt
-Résultats v(t)

30

SIMULATION ELECTRIQUE
 Domaine **temporel**: simulation de circuits **non-linéaires**
 Variation du pas d'intégration (1/3)

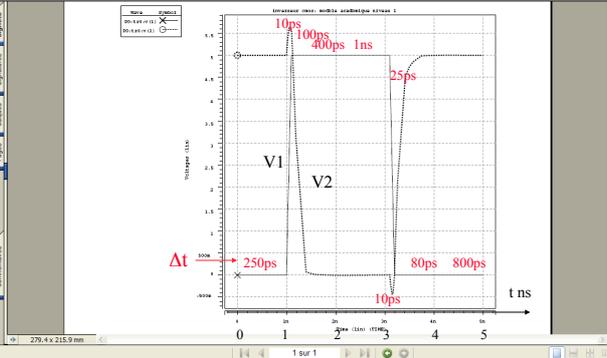


```

  INVERSEUR CMOS: modèle académique niveau 1
  *****espionnage du pas d'integration
  *****option itrprt
  .options nomod acct post itrprt
  .model n nmos level=1 tox=400e-10 vto=0.5
  +lambda=0.02 uo=510 cj= 350u cgdo=300p
  .model p pmos level=1 tox=400e-10 vto=-0.5
  +lambda=0.02 uo=175 cj=540u cgdo=300p
  vdd 3 0 dc 5
  mp 2 1 3 3 P w=10u l=2u as=20p ad=20p
  mn 2 1 0 0 N w=3u l=2u as=10p ad=10p
  cs 2 0 10fF
  vin 1 0 dc 0 pulse 0 5 in 0.1n 0.1n 2n
  .tran 1n 5n
  .print tran v(1) v(2)
  .END
  
```

31

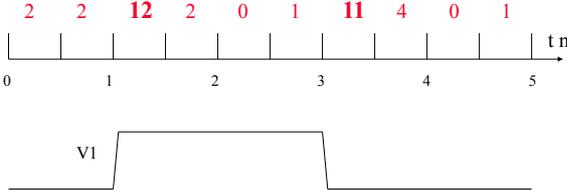
SIMULATION ELECTRIQUE
 Domaine **temporel**: simulation de circuits **non-linéaires**
 Variation du pas d'intégration (2/3)



32

SIMULATION ELECTRIQUE
 Domaine **temporel**: simulation de circuits **non-linéaires**
 Variation du pas d'intégration (3/3)

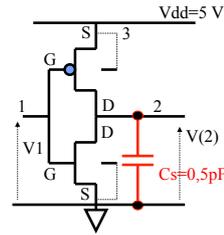
Nombre de points calculés par tranches de 0,5 nS



2 2 12 2 0 1 11 4 0 1

33

SIMULATION ELECTRIQUE DE CIRCUITS
 Exercices: simulations dans le domaine temporel de **circuits non-linéaires**



Inverseur CMOS

nMOS: W=2μ L= 2μ
 pMOS: W=6μ L=2μ

Kp pMOS # Kp nMOS / 3

V1 1 0 PULSE 0 5

Observer: V(2) et V1 en fonction de t

Noter:

- le point de polarisation à t=0
- les retards v(2) par rapport à V1
- faire varier Cs

34